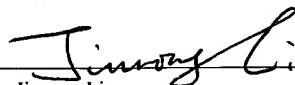


#6
11/28/01
melen

PATENT
Docket No. 204552018400

<p style="text-align: center;">CERTIFICATE OF HAND DELIVERY</p> <p>I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on June 21 2000.</p> <p style="text-align: center;"> Jinrong Li</p>
--

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Yasuaki HIRANO

Serial No.: to be assigned

Filing Date: June 21, 2000

For: ERASE METHOD FOR
NONVOLATILE SEMICONDUCTOR
STORAGE DEVICE AND ROW
DECODER CIRCUIT FOR
FULFILLING THE METHOD

Examiner: to be assigned

Group Art Unit: to be assigned



TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, applicant hereby claims the benefit of the filing of Japanese patent application No. 11-173880, filed June 21, 1999.

A certified copy of the priority document is attached to perfect applicant's claim for priority.


It is respectfully requested that the receipt of this certified copy attached hereto be acknowledged in this application.

dc-213832

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicant petitions for any required relief including extensions of time and authorizes the Commissioner to charge the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952. However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: June 21, 2000

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 887-0763

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1 9 9 9 年 6 月 2 1 日

出 願 番 号
Application Number:

平成 1 1 年 特 許 願 第 1 7 3 8 8 0 号

出 願 人
Applicant (s):

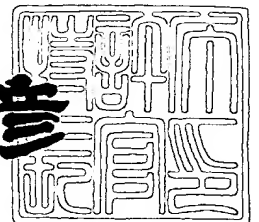
シャープ株式会社



2 0 0 0 年 3 月 1 0 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 2 0 0 0 - 3 0 1 5 7 7 2

【書類名】 特許願

【整理番号】 165852

【提出日】 平成11年 6月21日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10

H01L 29/78

G11C 16/06

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 平野 恭章

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003079

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置の消去方法およびそれを実現するロウデコーダ回路

【特許請求の範囲】

【請求項 1】 制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の列線を有する不揮発性半導体記憶装置の消去方法であって、

上記書き込みおよび消去の何れにもファウラー-ノルドハイムトンネル現象を用い、

上記消去時には、上記基板あるいはウェルに負の第 1 電圧を印加すると共に、選択行線には正の電圧を印加する一方、非選択行線には負の第 2 電圧を印加することを特徴とする不揮発性半導体記憶装置の消去方法。

【請求項 2】 請求項 1 に記載の不揮発性半導体記憶装置の消去方法において、

上記負の第 2 電圧の絶対値は、上記負の第 1 電圧の絶対値以下であることを特徴とする不揮発性半導体記憶装置の消去方法。

【請求項 3】 書き込みモード、読み出しモードおよび消去モード毎に、アドレス信号に基づいて定まる不揮発性半導体記憶装置の選択ワード線と非選択ワード線とに選択電圧と非選択電圧を印加するロウデコーダであって、

上記各モード毎に、上記アドレス信号に基づいて定まる選択非選択情報に応じた制御電圧を出力する制御電圧出力手段と、

上記各モード毎に、上記アドレス信号に基づいて定まる選択状態に応じた選択電圧を出力する選択電圧出力手段と、

上記各モード毎に、上記アドレス信号に基づいて定まる非選択状態に応じた非選択電圧を出力する非選択電圧出力手段と、

上記制御電圧出力手段からの制御電圧に基づいて、上記消去モード時には、上

記選択電圧出力手段からの選択電圧あるいは上記非選択電圧出力手段からの非選択電圧の何れかを選択して、上記選択電圧を選択ワード線に出力する一方、上記非選択電圧を非選択ワード線に出力する印加電圧選択手段を備えたことを特徴とするロウデコーダ。

【請求項4】 書き込みモード、読み出しモードおよび消去モード毎に、アドレス信号に基づいて定まる不揮発性半導体記憶装置の選択ワード線と非選択ワード線とに選択電圧と非選択電圧を印加するロウデコーダであって、

上記各モード毎に、上記アドレス信号に基づいて定まる選択非選択情報に応じた制御電圧を出力する制御電圧出力手段と、

上記各モード毎に、上記アドレス信号に基づいて定まる選択状態に応じた所定電圧以上の高電圧を出力する高電圧出力手段と、

上記各モード毎に、上記アドレス信号に基づいて定まる非選択状態に応じた上記高電圧よりも低い低電圧を出力する低電圧出力手段と、

上記制御電圧出力手段からの制御電圧に基づいて、上記消去モード時には、上記高電圧出力手段からの高電圧あるいは上記低電圧出力手段からの低電圧の何れかを選択して、上記高電圧を上記選択電圧として選択ワード線に出力する一方、上記低電圧を上記非選択電圧として非選択ワード線に出力する印加電圧選択手段を備えたことを特徴とするロウデコーダ。

【請求項5】 請求項3あるいは請求項4に記載のロウデコーダにおいて、上記消去モード時における上記選択電圧は正の電圧である一方、上記非選択電圧は負の電圧であり、

上記非選択電圧の絶対値は、上記不揮発性半導体記憶装置の基板あるいはウェルに印加される負の電圧の絶対値以下であることを特徴とするロウデコーダ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、特に浮遊ゲート型不揮発性半導体記憶装置の消去時のディスターブを防止する不揮発性半導体記憶装置のイレース方法、および、それを実現するロウデコーダ回路に関する。

【 0 0 0 2 】

【従来の技術】

近年、フラッシュメモリの高集積化に伴って低消費電力化が求められている。そのために、書き込み(プログラム)や消去(イレース)の動作時にFN(ファウラー-ノルドハイム)トンネル現象を用いることによって、低消費電力化を図る試みが多く成されてきている。このように、書き込みおよび消去にFNトンネル現象を用いるフラッシュメモリをFN-FNタイプのフラッシュメモリと呼ぶ。

【 0 0 0 3 】

一方、上記フラッシュメモリの分類は、メモリセルアレイの構成の違い等によっても行われる。以下に主な分類を4つ挙げる。

【 0 0 0 4 】

[1] 電気情報通信学会信学技報、ICD93-128,p37,1993 “3V単一電源64Mビットフラッシュメモリ用AND型セル”で報告されているAND型フラッシュメモリ。

[2] 電気情報通信学会信学技報、ICD93-26,p15,1993 “3V単一電源DINOR型フラッシュメモリ”で報告されているDINOR型フラッシュメモリ。

[3] Technical Digest,pp263-266,1995 “A Novel Dual String NOR (DuSNOR)Memory Cell Technology Scalable to the 256Mbit and 1Gbit Flash Memories”で報告されているDuSNOR型フラッシュメモリ

[4] IEDM Technical Digest,pp269-270,1995 “A New Cell Structure for Sub-quarter Micron High Density Flash Memory”や

電気情報通信学会信学技報、ICD97-21,p37,1997 “ACT型フラッシュメモリのセンス方式の検討”で報告されているACT(アシメトリカル・コンタクトレス・トランジスタ)型フラッシュメモリ

等が各社から発表されている。

【 0 0 0 5 】

上記各フラッシュメモリにおいては、メモリセルに電氣的にプログラムおよびイレースが可能であるが、プログラム動作時およびイレース動作時に選択セルのドレイン/ソースまたはゲートに電圧が印加される一方、非選択メモリセルのド

ライン/ソースまたはゲートにも電圧が印加される。その場合、上記電圧印加の影響によって、非選択メモリセルの閾値も変化するため誤リードが生じる恐れがある。

【0006】

近年、上記イレース時に、フラッシュメモリ内部で用いられる電圧の絶対値を低減させるために、基板(ウェル)に負の電圧を印加する方式が用いられるようになってきている。このように、プログラム動作時およびイレース動作時に基板(ウェル)に対して電圧が印加されると、この印加電圧が上述のごとく非選択メモリセルを軽いイレース状態にするために非選択メモリセルの閾値に悪影響を与えることになる。以下、このような現象を基板ディスタurbと称する。この基板ディスタurbは、フラッシュメモリが大容量化するにつれて厳しくなる傾向にある。

【0007】

この基板ディスタurbをACT型フラッシュメモリを例に説明する。まず、ACT型フラッシュメモリの動作原理を、図19に示すメモリセルに基づいて説明する。

【0008】

ACT型フラッシュメモリは、コントロールゲート1, 層間絶縁膜2, フローティングゲート3およびトンネル酸化膜4を、基板(P形ウェル)5に設けたドレイン6とソース7上に跨がるように層状に形成して構成されている。ここで、ドレイン6とソース7とは、ドナー濃度が異なるようになっている。そして、フローティングゲート3から電子を引き抜くプログラム動作の場合には、コントロールゲート1に負の電圧 $V_{nw}(-8V)$ を印加し、ドレイン6に正の電圧 $V_{pp}(+5V)$ を印加し、ソース7をフローティング状態として、上記FNトンネル現象によってフローティングゲート3から電子を引き抜く。これによって、書き込まれるべきメモリセルの閾値を約1.5V程度まで下げる。

【0009】

また、上記フローティングゲート3に電子を注入するイレース動作の場合は、コントロールゲート1に正の電圧 $V_{pe}(+10V)$ を印加し、ソース7に負の電圧 $V_{ns}(-8V)$ を印加し、ドレイン6をフローティング状態として、FNトンネル

現象によってフローティングゲート 3 に電子を注入する。したがって、消去すべきセルの閾値が増加して約 4 V 以上にまで高められる。このように、上記 ACT フラッシュメモリは、FN-FN タイプのフラッシュメモリである。

【0010】

また、リード動作の場合には、コントロールゲート 1 に 3 V の電圧を印加し、ドレイン 6 に 1 V の電圧を印加し、ソース 7 に 0 V の電圧を印加して、セルに流れる電流を別途センス回路によってセンスし、データを読み出すのである。

【0011】

表 1 に、上記プログラム、イレースおよびリードの場合の印加電圧をまとめて示す。

【表 1】

フラッシュメモリの印加電圧				
	コントロールゲート	ドレイン	ソース	基板 (P形ウェル)
プログラム	-8V	5V	オープン	0V
イレース	10V	-8V	-8V	-8V
リード	3V	1V	0V	0V

【0012】

次に、イレース時の基板ディスターブを説明するために、図 1 に示すアレイ構成を用いてイレース時の動作について更に詳細に述べる。図 1 に模式的に示すように、ACT 型フラッシュメモリのアレイ構成は、同一ビット線 BL を 2 つのメモリセルが共有する仮想接地型アレイ構成をとっている。そして、各ビット線を共有し、且つ、サブビット線 (SBL0, SBL1, SBL2, ...) に拡散層を用いることによって、コンタクト数を減少させてアレイ面積を著しく減少させ、高集積化を可能にしている。

【0013】

ここで、BL0~BL4096 はメインビット線であり、SBL0~SBL4096 は拡散層で形成されたサブビット線 (メインビット線 BL0~BL4096 とは階層が異なる) であり、WL0~WL63 はワード線である。また、SG0, SG1 は、ワード線 WL0~WL31 となるブロック 1 とワード線 WL32~WL63 となるブロック 2 と

を選択するためのセレクトトランジスタのゲート線である。尚、図中■印部は、メインビット線BLとサブビット線SBLとのコンタクト部を表わしている。また、隣接するメモリセルに共通のサブビット線SBLに接続されるドレイン側とソース側ではドナー濃度を異にしている。

【0014】

図21に、ACT型フラッシュメモリ素子の断面を模式的に示す。上方よりワード線(コントロールゲート1)WL,層間絶縁膜2,フローティングゲート(FG)3およびサブビット線(拡散層)SBLが、層状に配置されている。そして、隣合うフローティングゲート3,3の端部下方に共通に設けられたサブビット線SBLは、そのドレイン6側とソース7側とでドナー濃度を異にしている。

【0015】

上記構成を有するACT型フラッシュメモリの場合にはイレース動作を上記ブロック単位で行なう。つまり、イレース時には、メモリセルの閾値を高めるために、選択ブロック(ここではブロック0)のコントロールゲート1につながるワード線WL0~WL31に、+10Vの電圧を印加する。さらに、基板(ウェル)5とメインビット線BL0~BL4096に-8Vを印加する。この場合、ゲート線SG0の電圧は0Vでセレクトトランジスタはオンしており、拡散層で形成されたサブビット線SBL0~SBL4096には-8Vが出力される。このことによって、各メモリセルのフローティングゲート1とチャネル間には高電界が発生し、FNトンネル現象によって電子がフローティングゲート1に注入されて、メモリセルの閾値は4V以上に上昇するのである。

【0016】

一方、非選択のブロック(ここではブロック1)では、ワード線WL32~WL63にVss(0V)が印加される。また、ゲート線SG1には-8Vが印加されてセレクトトランジスタはオフ状態となる。そのために、ゲート線SG1に係るセレクトトランジスタに接続されたサブビット線SBL0~SBL4096はフローティング状態となる。この場合、基板(ウェル)5は全メモリセルに共通であるため-8Vが印加されており、フローティングゲート1と基板(ウェル)5との間にも、上記選択ブロック程ではないが電界が発生することになる。これによって、フロー

ティングゲート1に電子が注入されるのである。

【0017】

このような非選択ブロックでのフローティングゲート1への電子の注入は、閾値の低いプログラム状態のメモリセル(つまり、データ「0」のメモリセル)で顕著に発生する。

【0018】

以下、上記基板ディスターブについて、例えばブロックサイズが16KBのブロックが512個存在する64Mフラッシュメモリに関して考えてみる。各ブロックに100万回の書き換えが行われた場合、各イレース時間を2msとすると、非選択ブロックに印加される時間の累計であるディスターブ時間は、式(1)

$$511 \times 100 \text{ 万回} \times 2 \text{ ms} \doteq 10^6 \text{ 秒} \quad \dots (1)$$

で表すことができる。

【0019】

図20に従来のイレース方法による基板ディスターブの一例を示す。図から分るように、ディスターブ時間である 10^6 秒後にはプログラム状態(データ「0」)のメモリセルの閾値は3V以上になり、リード時のセンス回路でのRef(リファレンス)電圧3Vよりも高くなるために、データ「0」がデータ「1」と誤検出されて誤リードが生ずるのである。

【0020】

また、上述のように、イレース時に基板(ウェル)5に負の電圧を印加する場合には、基板(ウェル)5に印加する負の電圧を電源電圧から昇圧させて発生させる負電圧チャージポンプが必要となる。そして、基板(ウェル)5に付随する容量は非常に大きいために、この負の電圧を発生するチャージポンプの能力を非常に大きくする必要がある。64Mフラッシュメモリを形成する場合、基板(ウェル)5に付随する容量は32000pfにもなり、イレース時の立ち上がりを $100 \mu\text{s}$ 以下とすると(イレースパルス時間が1msであり立ち上がりに10%の時間が必要と仮定)約30mAの電流が必要となる。

【0021】

さらに、一般的にチャージポンプの効率は低く、特に負電圧を発生するチャー

ジポンプの効率は10%前後であり、面積は大きくなる。従って、上記チャージポンプを実現するためには、チャージポンプのレイアウトがチップ面積に対して約5%程度となり、チャージポンプのレイアウト面積が無視できない程度に大きくなる。

【0022】

このような、上記基板ディスターブ、および、ウェル容量の増加に伴うチャージポンプレイアウトの増加を緩和する不揮発性記憶装置が、特開平9-162373号公報に開示されている。ここで、特開平9-162373号公報に開示された不揮発性記憶装置では、例えば64Mフラッシュメモリのウェルをロウ方向に16分割するようにしている。こうすることによって、上記ディスターブ時間は、

$$31 \times 100 \text{ 万回} \times 2 \text{ ms} = 62000 \text{ 秒}$$

となり、図20から分かるように、ディスターブ時間である62000秒後であってもプログラム状態のメモリセルの閾値は約2Vの状態を保ち、リード時におけるセンス回路のRef電圧以下であるので正常なリードが可能になるのである。また、分割された各ウェルの容量は2000pf程度となり、チャージポンプの電流供給能力も低減される。したがって、チャージポンプ形成に必要な面積も、チップ面積に対して1%以下に低減することが可能となる。

【0023】

【発明が解決しようとする課題】

しかしながら、上記特開平9-162373号公報に開示された不揮発性記憶装置においては、以下のような問題がある。すなわち、ウェルを分離すると分離領域を設ける必要が生じ、メモリセルアレイの面積が増加してチップ面積が8%程度増加する。このことから、ウェルを分離する方式では、基板ディスターブのマージンを稼ぐことはできるのであるが、全体のチップ面積を増加させると言う問題がある。

【0024】

然も、ディスターブが完全に無くなるわけではなく、プログラムやイレース等の書き換えによる電圧印加がストレスとなって、例えば100万回の書き換えを

行くとホールトラップ等の欠陥が発生する。そして、この欠陥によって、プログラム状態のメモリセルの閾値がセンス回路での R_{ef} 電圧の3Vより高くなるメモリセルが出現する可能性がある。

【0025】

そこで、この発明の目的は、イレース時の基板ディスターブによる誤読み出しを防止すると共に基板(ウェル)に印加する電圧発生用の負電圧チャージポンプの電流を低減し、且つ、レイアウト面積を削減できる不揮発性半導体記憶装置の消去方法、および、それを実現するロウデコーダ回路を提供することにある。

【0026】

【課題を解決するための手段】

上記目的を達成するために、第1の発明の不揮発性半導体記憶装置の消去方法は、制御ゲート、浮遊ゲート、ドレインおよびソースを有して電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板あるいはウェル上にマトリクス状に配置され、行方向に配列された各浮遊ゲート電界効果トランジスタの制御ゲートに接続された複数の行線と、列方向に配列された各浮遊ゲート電界効果トランジスタのドレインおよびソースに接続された複数の列線を有する不揮発性半導体記憶装置の消去方法であって、上記書き込みおよび消去の何れにもFNトンネル現象を用い、上記消去時には、上記基板あるいはウェルに負の第1電圧を印加すると共に、選択行線には正の電圧を印加する一方、非選択行線には負の第2電圧を印加することを特徴としている。

【0027】

上記構成によれば、上記FNトンネル現象を用いて不揮発性半導体記憶装置を消去する場合に、上記基板(ウェル)と非選択行線との両方に負の電圧が印加される。したがって、上記基板(ウェル)への印加電圧と非選択行線への印加電圧とを基板ディスターブを受けないように設定することによって、不揮発性半導体記憶装置に対して繰り返して書き換えを行っても書き込み状態のメモリセルの閾値電圧の上昇が防止される。その結果、上記書き込み状態のメモリセルに対する誤読み出しが防止される。

【0028】

さらに、上記基板(ウェル)と非選択行線との電位差が小さくなり、基板(ウェル)と非選択行線との間の電氣的容量が小さくなる。その結果、基板(ウェル)に負電圧を供給するチャージポンプのレイアウト面積を小さくすることが可能になる。

【0029】

また、上記第1の発明は、上記負の第2電圧の絶対値を、上記負の第1電圧の絶対値以下とすることが望ましい。

【0030】

上記構成によれば、上記負の第2電圧の絶対値を負の第1電圧の絶対値よりも小さくすることによって、非消去メモリセルの誤動作が防止される。さらに、上記負の第1,第2電圧の絶対値を等しくすることによって、上記基板ディスターブが完全に防止される。

【0031】

また、第2の発明は、書き込みモード、読み出しモードおよび消去モード毎にアドレス信号に基づいて定まる不揮発性半導体記憶装置の選択ワード線と非選択ワード線とに選択電圧と非選択電圧を印加するロウデコーダであって、上記各モード毎に、上記アドレス信号に基づいて定まる選択非選択情報に応じた制御電圧を出力する制御電圧出力手段と、上記各モード毎に、上記アドレス信号に基づいて定まる選択状態に応じた選択電圧を出力する選択電圧出力手段と、上記各モード毎に、上記アドレス信号に基づいて定まる非選択状態に応じた非選択電圧を出力する非選択電圧出力手段と、上記制御電圧出力手段からの制御電圧に基づいて、上記消去モード時には、上記選択電圧出力手段からの選択電圧あるいは上記非選択電圧出力手段からの非選択電圧の何れかを選択して、上記選択電圧を選択ワード線に出力する一方、上記非選択電圧を非選択ワード線に出力する印加電圧選択手段を備えたことを特徴としている。

【0032】

上記構成によれば、消去モード時には、制御電圧出力手段によって、アドレス信号に基づいて選択非選択情報に応じた制御電圧が出力される。そうすると、印加電圧選択手段によって、上記制御電圧に基づいて、選択電圧出力手段からの選

択電圧が選択ワード線に出力される。また、非選択電圧出力手段からの非選択電圧が非選択ワード線に出力される。その場合に、基板(ウェル)に印加する電圧を負の第 1 電圧とし、上記選択電圧を正の電圧とし、上記非選択電圧を負の第 2 電圧とし、上記両負の電圧の値を基板ディスターブを受けないように設定することによって、繰り返しの書き換えによって書き込みメモリセルの閾値電圧の上昇が防止される。その結果、上記書き込みメモリセルに対する誤読み出しが防止される。

【0 0 3 3】

また、第 3 の発明は、書き込みモード、読み出しモードおよび消去モード毎にアドレス信号に基づいて定まる不揮発性半導体記憶装置の選択ワード線と非選択ワード線とに選択電圧と非選択電圧を印加するロウデコーダであって、上記各モード毎に、上記アドレス信号に基づいて定まる選択非選択情報に応じた制御電圧を出力する制御電圧出力手段と、上記各モード毎に、上記アドレス信号に基づいて定まる選択状態に応じた所定電圧以上の高電圧を出力する高電圧出力手段と、上記各モード毎に、上記アドレス信号に基づいて定まる非選択状態に応じた上記高電圧よりも低い低電圧を出力する低電圧出力手段と、上記制御電圧出力手段からの制御電圧に基づいて、上記消去モード時には、上記高電圧出力手段からの高電圧あるいは上記低電圧出力手段からの低電圧の何れかを選択して、上記高電圧を上記選択電圧として選択ワード線に出力する一方、上記低電圧を上記非選択電圧として非選択ワード線に出力する印加電圧選択手段を備えたことを特徴としている。

【0 0 3 4】

上記構成によれば、消去モード時には、制御電圧出力手段によって、アドレス信号に基づいて選択非選択情報に応じた制御電圧が出力される。そうすると、印加電圧選択手段によって、上記制御電圧に基づいて、高電圧出力手段からの高電圧が選択電圧として選択ワード線に出力される。また、低電圧出力手段からの低電圧が非選択電圧として非選択ワード線に出力される。その場合に、基板(ウェル)に印加する電圧を負の第 1 電圧とし、上記選択電圧を正の電圧とし、上記非選択電圧を負の第 2 電圧とし、上記両負の電圧の値を基板ディスターブを受けない

いように設定することによって、繰り返しの書き換えによって書き込みメモリセルの閾値電圧の上昇が防止される。その結果、上記書き込みメモリセルに対する誤読み出しが防止される。

【0035】

さらに、上記高電圧出力手段の出力電圧は、上記低電圧出力手段から出力電圧よりも常時高く設定されている。したがって、上記印加電圧選択手段による上記高電圧出力手段および上記低電圧出力手段からの出力電圧の選択動作は、上記選択電圧出力手段の出力電圧と上記非選択電圧出力手段から出力電圧との大小関係が上記各モードによって変動する第2の発明の場合よりも簡単になる。したがって、上記印加電圧選択手段の構成が第2の発明の場合よりも簡単になり、上記印加電圧選択手段が占める面積が小さくなる。

【0036】

また、上記第2あるいは第3の発明は、上記消去モード時における上記選択電圧は正の電圧である一方、上記非選択電圧は負の電圧であり、上記非選択電圧の絶対値は、上記不揮発性半導体記憶装置の基板あるいはウェルに印加される負の電圧の絶対値以下であることが望ましい。

【0037】

上記構成によれば、上記消去モード時において、上記非選択ワード線に印加する非選択電圧の絶対値を上記基板(ウェル)に印加する電圧の絶対値よりも小さくすることによって、非消去メモリセルの誤動作が防止される。さらに、上記基板(ウェル)に印加する電圧と非選択ワード線に印加する非選択電圧との絶対値を等しくすることによって、上記基板ディスターブが完全に防止される。

【0038】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

<第1実施の形態>

図1は、本実施の形態の不揮発性半導体記憶装置の消去方法が適用される不揮発性半導体記憶装置のアレイ構成を示す。この不揮発性半導体記憶装置は、仮想接地型アレイで構成されたACT型フラッシュメモリであり、その構成は従来の

技術で述べた通りである。但し、本ACT型フラッシュメモリは、32本のワード線WL0～WL31を1ブロックとして、512ブロックで構成されている。

【0039】

本実施の形態におけるアレイ構成は、上記従来のACT型フラッシュメモリと同様である。また、このACT型フラッシュメモリに対して、イレース時に、各ワード線WL,各ビット線BLおよび基板(ウェル)に印加される電圧を表2に示す。

【表2】

イレース時の印加電圧			
ノード			電圧
ワード線	選択	WL0～WL31	Vpp(10V)
	非選択	WL32～WL16383	Vneg(-8V)
ビット線		BL0～BL4096	Vneg(-8V)
基板(ウェル)			Vneg(-8V)

【0040】

上記イレースはブロック単位で行われ、表2はブロック0をイレースする場合である。表2に示すように、選択されたワード線WL0～WL31には電圧Vpp(10V)が印加される。一方、基板(ウェル)およびメインビット線BL0～BL4096には電圧Vneg(-8V)が印加される。

【0041】

一方、ゲート線SG0には0Vが印加され、このゲート線SG0がゲートに接続されたセレクトトランジスタはオンし、これによってメインビット線BL0～BL4096に印加された電圧Vnegは、各セレクトトランジスタを介してブロック0内における上記拡散層で形成されたサブビット線SBL0～SBL4096の各々に印加されることになる。

【0042】

そうすると、上記選択ブロック0においては、上記ワード線WLとサブビット線SBLとへの電圧印加によって全メモリセルでFNトンネル現象が発生し、各

メモリセルのチャネル層からフローティングゲートに電子が注入される。その結果、各メモリセルの閾値が4 V以上に高くなって、イレース(イレース)が行われるのである。

【0043】

一方、非選択ブロック1においては、ワード線WL32~WL63には電圧Vneg(-8 V)が印加される。一方、基板(ウェル)およびメインビット線BL0~BL4096には、先の選択ブロック0と共通であるために電圧Vneg(-8 V)が印加されている。そして、ゲート線SG1には0 Vを印加して、ゲート線SG1がゲートに接続されているセレクトトランジスタをオンすることで、ブロック1内の拡散層で形成されたサブビット線SBLに電圧Vneg(-8 V)が印加される。

【0044】

したがって、上記非選択ブロック1内における全メモリセルのコントロールゲート、ソース、ドレインおよび基板(ウェル)の総てに電圧Vneg(-8 V)が印加されて同電位となる。このことから、非選択ブロック1においては基板ディスタージを受けないことになる。

【0045】

本実施の形態における非選択ブロック1に関して、ディスタージ時間と、イレース状態(データ「1」)のメモリセルおよびプログラム状態(データ「0」)のメモリセルの閾値電圧Vtの変化との関係を、図2に示す。図2において、閾値が低くプログラム状態であるメモリセルの閾値電圧Vtは、ディスタージ時間の累計が 10^6 secを越えても殆ど変動しない。

【0046】

したがって、例えばブロックサイズが16 KBのブロックが512存在する64 Mフラッシュメモリにおいて、各ブロックに100万回の書き換えが行われた後に、データの読み出し(リード)時に、メインビット線に接続されているセンス回路(図示せず)によって3 VのRef電圧でデータ「0」及びデータ「1」を検出しても、誤リードすることなく正しくデータを読み出すことができるのである。

【0047】

尚、上記ブロック1以外の非選択ブロックにおいても同様の電圧を印加するこ

とによって、イレース時の基板ディスターブによるメモリセルの閾値電圧 V_t の変動を抑制することができる。

【0048】

ここで、上記基板(ウェル)への負電圧の供給について考察する。上記基板(ウェル)に付随する容量は上述したように32000pfにもなる。この場合における容量の大部分は、上記フローティングゲートを介した基板(ウェル)とポリシリコン等で成るワード線WLとの間の容量であり、その容量は約31000pf以上にもなる。ところが、本実施の形態においては、非選択ワード線WL32~WL16383が基板(ウェル)と同電位(V_{neg})になるので、約31000pf以上にもなる基板(ウェル)とワード線WLとの間の容量を無視することができ、関係のある容量は1000pf以下となる。

【0049】

したがって、上記基板(ウェル)への負電圧の供給に必要な電流量は従来の3%以下になる。その結果、上記負電圧供給用のチャージポンプのレイアウト面積がチップ面積に対して占める割合は0.5%以下になる。これは、従来の場合に比して、上記チャージポンプがチップ面積に対して占める割合を90%以上削減できることを意味するのである。

【0050】

このように、本実施の形態においては、イレース時に非選択ワード線WLに基板(ウェル)と同じ電圧 $V_{neg}(-8V)$ を印加するので、上記非選択ブロック内の全メモリセルのコントロールゲート、ソース、ドレインおよび基板(ウェル)が同電位となって基板ディスターブを受けないのである。また、非選択ワード線WLが基板(ウェル)と同電位になるために、非選択ワード線WLと基板(ウェル)との間の容量を無視することができる。したがって、負電圧供給用のチャージポンプがチップ面積に対して占める割合を従来の90%以上削減することができるのである。

【0051】

次に、上記メモリセルのワード線WLに各種電圧を印加して、本実施の形態を可能にするロウデコーダについて述べる。図3に、上記ロウデコーダの一例を示

すブロック図を示す。このロウデコーダ 11 は、各種電圧をワード線 WL に出力するドライバ部 12, 制御電圧回路部 13, 選択電圧回路部 14, 非選択電圧回路部 15, プレデコーダ部 16 及びブロックデコーダ部 17 から概略構成される。以下、上記ロウデコーダ 11 の構成および動作を、各モードに分けて説明する。尚、プログラム時、リード時およびイレース時におけるビット線 BL への印加電圧および印加方法は既知の技術を使用しており、ここでの説明は省略する。

【0052】

(1) プログラム動作モード

最初に、上記ワード線 WL0 にコントロールゲートが接続されたメモリセルに書き込む場合について説明する。尚、図 4 に、制御電圧回路部 13 を構成する制御電圧回路 0 の回路図を示す。また、図 5 に、選択電圧回路部 14 を構成する選択電圧回路 0 の回路図を示す。また、図 6 に、非選択電圧回路部 15 を構成する非選択電圧回路 0 の回路図を示す。また、図 7 に、ブロックデコーダ部 17 を構成するブロックデコーダ 0 の回路図を示す。また、図 8 に、プレデコーダ部 16 を構成するプレデコーダ 0 の回路図を示す。さらに、プログラム動作モード時の入力波形および出力波形を図 9 に示す。但し、図 9 は、ワード線 WL0 が選択された場合を示している。また、上記ブロックデコーダおよびプレデコーダに関しては既知の技術であるので詳細な説明は省略する。

【0053】

上記制御電圧回路は、上記ローデコーダ 11 のドライバ部 12 を構成する P チャネル MOS (金属酸化膜半導体) トランジスタおよび N チャネル MOS トランジスタを開閉する制御信号を出力する回路である。図 4 は、ワード線 WL0 用の制御電圧回路 0 の回路構成を示し、入力信号 pre0 (プレデコーダ 0 の出力信号) を入力することによって出力信号 hrda0 および hrdab0 を生成する。入力信号 pre0 以外の入力信号および電源は各制御電圧回路 i ($i = 0 \sim 31$) で共通である。

【0054】

上記選択電圧回路及び非選択電圧回路は、選択あるいは非選択されたワード線 WL への印加電圧を出力するものである。この印加電圧は、ドライバ部 12 を介して該当するワード線 WL に印加される。図 5 はワード線 WL0 用の選択電圧回

路0の回路構成を示し、入力信号sel0(ブロックデコーダ0の出力信号)を入力することによって出力信号hhvx0を生成する。図6はワード線WL0用の非選択電圧回路0の回路構成を示し、入力信号sel0(ブロックデコーダ0の出力信号)を入力することによって出力信号hnn0を生成する。入力信号sel0以外の入力信号および電源は各選択電圧回路jあるいは非選択電圧回路j ($j=0\sim 511$)で共通である。

【0055】

上記制御電圧回路0からの出力信号hrda0は、ソースに非選択電圧回路0の出力信号hnn0が入力されるPチャネルMOSトランジスタと、ソースに選択電圧回路0の出力信号hhvx0が入力されるNチャネルMOSトランジスタとのゲートに入力される。一方、制御電圧回路0からの出力信号hrdab0は、ソースに選択電圧回路0の出力信号hhvx0が入力されるPチャネルMOSトランジスタと、ソースに非選択電圧回路0の出力信号hnn0が入力されるNチャネルMOSトランジスタとのゲートに入力される。そして、上記2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタとは、ブロック0における1番目のワード線WL0用のドライバを構成しており、互いのドレイン同士は共通にワード線WL0に接続されている。

【0056】

同様に、上記制御電圧回路0からの出力信号hrda0/hrdab0は、ブロックnの1番目のワード線ワード線WL32n ($n=1\sim 511$)に共通にドレインが接続された2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタとのゲートにも接続されている。

【0057】

以下同様にして、上記制御電圧回路31からの出力信号hrda31は、ソースに非選択電圧回路0の出力信号hnn0が入力されるPチャネルMOSトランジスタと、ソースに選択電圧回路0の出力信号hhvx0が入力されるNチャネルMOSトランジスタとのゲートに入力される。一方、制御電圧回路31からの出力信号hrdab31は、ソースに選択電圧回路0の出力信号hhvx0が入力されるPチャネルMOSトランジスタと、ソースに非選択電圧回路0の出力信号hnn0が入力されるNチャネ

ルMOSトランジスタとのゲートに入力される。そして、上記2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタとは、ブロック0における最終番目のワード線WL31用のドライバを構成しており、互いのドレイン同士は共通にワード線WL31に接続されている。

【0058】

同様に、上記制御電圧回路31からの出力信号hrda31/hrdab31は、ブロックnの最終番目のワード線WL(32n+31) ($n = 1 \sim 511$)に共通にドレインが接続された2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタとのゲートにも接続されている。

【0059】

図9に示すように、プログラム動作がスタートすると、先ずアドレス信号a0～a13によってページアドレスPAがセットされる。ここで、図3に示すようにアドレス信号a0～a4はプレデコーダ0～プレデコーダ31に入力される。そして、アドレス信号a0～a4の内容によって、1つのプレデコーダが選択されて出力信号pre i が活性化される。一方、アドレス信号a5～a13は、上記ブロックデコーダ0～ブロックデコーダ511に入力される。そして、アドレス信号a5～a13の内容によって、1つのブロックデコーダが選択されて出力信号sel j が活性化される。

【0060】

尚、図8に示すように、上記各プレデコーダiに入力される信号xawl bとしては、レベル「H」の電源電圧Vcc(3V)が供給される。一方、図7に示すように、各ブロックデコーダjに入力される信号xnwl bとしては、レベル「L」の電源Vss(0V)が供給される。その結果、選択されたプレデコーダiからはレベル「H」すなわちVcc(3V)の出力信号pre i が出力される。一方、選択されないプレデコーダiからはレベル「L」すなわちVss(0V)の出力信号pre i が出力される。また、選択されたブロックデコーダjからはレベル「H」すなわちVcc(3V)の出力信号sel j が出力される。一方、選択されないブロックデコーダjからはレベル「L」すなわちVss(0V)の出力信号sel j が出力される。

【0061】

例えば、上記ブロック 0 のワード線 WL0 を選択する場合には、プレデコーダ 0 の出力信号 pre0 とブロックデコーダ 0 の出力信号 sel0 とのレベルが「H」となる一方、それ以外のプレデコーダの出力信号 pre1～pre31 とブロックデコーダの出力信号 sel1～sel1511 とのレベルは、「L」となる。

【0062】

そうすると、上記制御電圧回路 0 には入力信号 pre0(=「H」(Vcc))が入力される。また、レベル「H」(Vcc)の信号 erssetupb(erssetupの反転信号)が入力される。さらに、入力信号 hnset のレベルは最初「H」(Vcc)である。これによって、制御電圧回路 0 における N チャンネル MOS トランジスタ N2, N3, N4 はオンとなり、N チャンネル MOS トランジスタ N1 はオフとなる。尚、特に N チャンネル MOS トランジスタ N2, N4, N5, N6 の p ウェルは、Vcc と Vss とに切換え可能な電源 hnvneg1 に接続されている。

【0063】

したがって、最初電源 hhvpre1 を Vcc に電源 hnvneg1 を Vss に設定し、上記 N チャンネル MOS トランジスタ N3, N4 がオンすることによって、出力信号 hrdab0 は Vss に引っぱられる。これによって、P チャンネル MOS トランジスタ P2 がオンすることで N チャンネル MOS トランジスタ N5 もオンする。こうして、2 つの P チャンネル MOS トランジスタ P1, P2 と 2 つの N チャンネル MOS トランジスタ N5, N6 で構成されるラッチ回路 A によって、出力信号 hrdab0 のレベルは「L」に、出力信号 hrda0 のレベルは「H」に固定されて出力される。尚、上述の動作においては、電源 hhvpre1 は hhvpre と、電源 hnvneg1 は hnvneg と同じ値を取る。

【0064】

その結果、ワード線 WL0 用のドライバを構成して、選択電圧回路 0 の出力信号 hhvx0 がソースに入力される P チャンネル MOS トランジスタと N チャンネル MOS トランジスタとがオンする。一方、非選択電圧回路 0 の出力信号 hnn0 がソースに入力される P チャンネル MOS トランジスタと N チャンネル MOS トランジスタとがオフすることになる。

【0065】

ここで、上記ワード線 WL0 の印加電圧を Vss からプログラム時の Vneg(−8

V)にロウデコーダ11によって変える場合には、各電源電圧や制御信号のレベルを変換させる。その際のレベル変換は、後に詳述するようなタイミングで行うことによって、各トランジスタ間に印加される電圧が大きくなるようにすると共に、誤動作(制御電圧回路0の出力信号hrda0と出力信号hrdab0とのレベルが変る)ことがないようにして、耐圧の低いトランジスタを使用可能にするのである。以下、各電源電圧や制御信号のレベル変換について詳細に説明する。

【0066】

先ず、入力信号hnsetのレベルをVccからVssに変更する。これによって、NチャネルMOSトランジスタN2,N4はオフとなるが、ラッチ回路Aの状態は固定されているために、出力信号hrda0と出力信号hrdab0との状態に変化はない。

【0067】

続いて、電源hvneg1をVssからVbb(VbbはVssとVnegの間の電圧値(例えば-4V))に変え、その後に電源hhvpre1をVccからVssに落す。このように、低い方の電源hvneg1から先にレベルを落すので、ラッチ回路Aの状態は変わらないのである。

【0068】

続いて、上記入力信号hnsetのレベルをVssからVbbに変換し、トランジスタ間に掛る印加電圧を更に低減させる。この間、出力信号hrda0のレベル「H」と出力信号hrdab0のレベル「L」の関係は変わらない。更に、入力信号hnsetのレベルをVbbからVneg(例えば-8V)に変換する。その場合にも、NチャネルMOSトランジスタN2,N4はオフであるため、出力信号hrda0のレベル「H」と出力信号hrdab0のレベル「L」の関係は維持されている。

【0069】

続いて、上記電源hvneg1のレベルを、先ずVbbからVnegに下げる。これによって、出力信号hrda0のレベルは「H」状態のままに、出力信号hrdab0のレベルは「L」状態のままに維持して、「H」の電位をVccからVssに、「L」の電位をVssからVbbを介してVneg(プログラム時にメモリセルのコントロールゲートに印加する電圧レベル)に変換したことになる。

【0070】

一方、制御電圧回路 1～制御電圧回路 31 は、入力信号pre1～入力信号pre31 のレベルが「L (Vss)」であり、上述のごとく入力信号hnsetのレベルは最初「H」 (Vcc)であるから、NチャネルMOSトランジスタN1,N2,N4がオンし、NチャネルMOSトランジスタN3はオフとなる。したがって、出力信号hrda1～出力信号hrda31がVssに引き込まれるため、上述した制御電圧回路 0 の場合とは異なり、PチャネルMOSトランジスタP1の方がオンする。これによって、NチャネルMOSトランジスタN6がオンするために、ラッチ回路Aは出力信号hrda1～出力信号hrda31のレベルを「L」状態に、出力信号hrdab1～出力信号hrdab31レベルを「H」状態に固定するのである。

【0071】

ここで、上記ワード線WL0の印加電圧をVssからプログラム時のVneg(−8 V)にロウデコーダ11によって変える場合には、上述した制御電圧回路 0 の場合と同様に各電源電圧や制御信号のレベルを変換させる。

【0072】

次に、上記選択電圧回路の動作について説明する。選択電圧回路におけるノードn1,n2までの構成は制御電圧回路と略同様である。そして、選択電圧回路 0 に対する入力信号sel0のレベルが「H」(Vcc)である場合は、選択電圧回路 0 におけるNチャネルMOSトランジスタN8,N9,N10はオンとなり、ノードn1のレベルは「H」の状態に、ノードn2のレベルは「L」の状態に保持される。

【0073】

その場合には、上記選択電圧回路 1～選択電圧回路 511 に対して入力される入力信号sel1～入力信号sel511のレベルは「L」(Vss)であるから、選択電圧回路 1～選択電圧回路 511 においてはNチャネルMOSトランジスタN7,N8,N10 がオンとなる。そのため、ノードn1のレベルは「L」の状態に、ノードn2のレベルは「H」の状態に保持される。

【0074】

ここで、上記ワード線WL0への印加電圧をVssから上記プログラム時のVneg(−8 V)にロウデコーダ11によって変える場合には、上述した制御電圧回路の場合と同様に、各選択電圧回路に保持されたレベル状態を維持しながら各電源電

圧や制御信号のレベル変換を行っていく。つまり、レベル「H」の電位を V_{cc} から V_{ss} へ、レベル「L」の電位を V_{ss} から V_{bb} を介して V_{neg} へと、図9に示されたタイミングで変換するのである。

【0075】

そして、各選択電圧回路におけるノード $n2$ は、ソースが電源 $h_{v}pnx$ に接続されたPチャネルMOSトランジスタ $P3$ と、ソースが電源 $V_{ss}(0V)$ に接続されたNチャネルMOSトランジスタ $N11$ とのゲートとに、共通に接続されている。一方、ノード $n1$ は、ソースが電源 V_{ss} に接続されたPチャネルMOSトランジスタ $P4$ と、ソースが電源 $h_{v}pnx$ に接続されたNチャネルMOSトランジスタ $N12$ とに、共通に接続されている。尚、上記2つのPチャネルMOSトランジスタ $P3, P4$ と2つのNチャネルMOSトランジスタ $N11, N12$ とのドレイン同士は共通に接続されて、出力信号 $h_{v}x$ の出力端子となっている。

【0076】

ここで、上記ノード $n1$ またはノード $n2$ のレベル「L」の電位が $V_{neg}(-8V)$ に変った後に、電源 $h_{v}pnx$ のレベルを $V_{ss}(0V)$ から $V_{neg}(-8V)$ にレベルを変えるのである。これによって、選択電圧回路0 ($sel0 = \text{「H」}$) では、最初、電源 $h_{v}pnx$ が V_{ss} である場合には V_{ss} の出力信号 $h_{v}x0$ を出力するが、電源 $h_{v}pnx$ が V_{neg} に変化するとNチャネルMOSトランジスタ $N12$ がオンして出力信号 $h_{v}x0$ は V_{neg} となるのである。

【0077】

これに対して、選択電圧回路1～選択電圧回路511 ($sel1 \sim sel511 = \text{「L」}$) の場合は、最初、電源 $h_{v}pnx$ が V_{ss} である場合には V_{ss} の出力信号 $h_{v}x0$ を出力するが、電源 $h_{v}pnx$ が V_{neg} に変化してもPチャネルMOSトランジスタ $P4$ がオンするために、出力信号 $h_{v}x0$ は V_{ss} のままで変化しないのである。

【0078】

続いて、上記非選択電圧回路の動作について説明する。非選択電圧回路では、入力信号 $erssetup$ のレベルが「L」(V_{ss}) であるために、非選択電圧回路0～非選択電圧回路511では、入力信号 sel のレベルに拘わらずPチャネルMOSトランジスタ $P5$ がオンし、これによってNチャネルMOSトランジスタ $N14$ がオン

する。したがって、ノードn3のレベルは「L」(=電源hners(Vss))となり、結果的に、出力信号hnn0～出力信号hnn511は常時Vssとなるのである。

【0079】

上述のようにして設定された、上記制御電圧回路0～制御電圧回路31, 選択電圧回路0～選択電圧回路511および非選択電圧回路0～非選択電圧回路511からの信号や電圧が、ドライバ部12に入力される。そうすると、選択ワード線WL0(制御電圧回路0の入力信号pre0および選択電圧回路0の入力信号sel0のレベルが「H」)への印加電圧は次のように設定される。

【0080】

すなわち、制御電圧回路0の出力信号hrdab0のレベルは「H」(=電源hhvpre(電源hnpvxがVnegの時点ではVss))であり、出力信号hrdab0のレベルは「L」(=電源hvneg(電源hnpvxがVnegの時点ではVneg))である。また、選択電圧回路0の出力信号hhvx0は、電源hnpvxのレベル変換に伴ってVssからVnegに変わる。また、非選択電圧回路0の出力信号hnn0はVssを維持している。以上のことから、選択ワード線WL0には、最初Vssが出力される。そして、プログラム時に出力信号hhvx0がVnegになると、NチャネルMOSトランジスタN15がオンするために、Vnegが出力されるのである。

【0081】

続いて、非選択ワード線WL31(制御電圧回路31の入力信号pre31のレベルが「L」、選択電圧回路0の入力信号sel0のレベルが「H」)への印加電圧は次のように設定される。すなわち、制御電圧回路31の出力信号hrda31のレベルは「L」

(=電源hvneg(電源hnpvxがVnegの時点ではVneg))であり、出力信号hrdab31のレベルは「H」(=電源hhvpre(電源hnpvxがVnegの時点ではVss))である。さらに、選択電圧回路0の出力信号hhvx0は、上述のごとくVssからVnegに変わる。また、非選択電圧回路0の出力信号hnn0はVssを維持している。以上のことから、非選択ワード線WL31には、最初Vssが出力される。そして、プログラム時に出力信号hhvx0がVnegになると、PチャネルMOSトランジスタP7がオンするためにVss(hnn0)が出力され、Vssを維持するのである。

【0082】

続いて、非選択ワード線WL16352(制御電圧回路0の入力信号pre0のレベルが「H」、選択電圧回路511の入力信号sel511のレベルが「L」)への印加電圧は次のように設定される。すなわち、上記制御電圧回路0の出力信号hrda0のレベルは「H」であり、出力信号hrdab0のレベルは「L」である。また、選択電圧回路511の出力信号hhvx511はVssであり、非選択電圧回路511の出力信号hnn511もVssであるため、非選択ワード線WL16352にはVssが出力される。

【0083】

最後に、非選択ワード線WL16383(制御電圧回路31の入力信号pre31及び選択電圧回路511の入力信号sel511のレベルが「L」)への印加電圧は次のように設定される。すなわち、制御電圧回路31の出力信号hrda31のレベルは「L」であり、出力信号hrdab31のレベルは「H」である。また、選択電圧回路511の出力信号hhvx511はVssであり、非選択電圧回路511の出力信号hnn511もVssであるため、非選択ワード線WL16383にはVssが出力される。

【0084】

以上のごとく、上記選択ワード線あるいは非選択ワード線への出力は上記4つの場合に集約される。以下、これらをまとめて表3に示す。

【表3】

プログラム時(電源 hnvpx が Vneg)のロウデコーダの出力信号

pre	sel	制御電圧回路出力		選択電圧回路 hhvx	非選択電圧回路 hnn	ワード線WLへの出力電圧
		hrda	hrdab			
L	L	L	H	Vss	Vss	Vss
L	H	L	H	Vss→Vneg	Vss	Vss
H	L	H	L	Vss	Vss	Vss
H	H	H	L	Vss→Vneg	Vss	Vss→Vneg

結果的には、選択ワード線WL0にはVnegが印加され、非選択ワード線WL1～WL16383にはVssが印加されるのである。

【0085】

表3に示すように上記ロウデコーダ11からワード線WLに電圧を印加すると

同時に、メインビット線BLを介して書き込むべきメモリセルのドレインに電圧Vprg(例えば5V)を印加すると共に、ソースをフローティング状態にする。こうすることで、FNトンネル現象によってフローティングゲートから電子が引き抜かれて当該メモリセルの閾値が2V以下に低下し、プログラム動作が終了するのである。

【0086】

その後、電源hnpnxをVnegからVssに戻すことによって、選択されたワード線WL0への出力をVnegからVssに戻し、電源hhvpre、電源hvnegおよび入力信号hnsetをプログラム開始時とは逆のタイミングで最初の状態に戻して行く。こうすることによって、印加電圧を変えても内部状態は変わらないのである。

【0087】

(2) リード動作モード

この場合も、上記ワード線WL0にコントロールゲートが接続されたメモリセルを読み出す場合について説明する。この場合におけるロウデコーダ11への入力波形および出力波形を図10に示す。

【0088】

図10に示すように、リード動作がスタートすると、先ずアドレスがa0～a13によってページアドレスPAがセットされる。これによるロウデコーダ11内の信号preおよび信号selの設定は、上述のプログラム動作時と同様である。本例においては、ワード線WL0が選択されるため、信号pre0および信号sel0のレベルは「H」(Vcc)となり、他の信号pre1～信号pre31と信号sel1～信号sel1511のレベルが「L」(Vss)となる。

【0089】

一方、上記信号erssetupはVssに、信号erssetupbはVccに、信号xnwlbはVssに、信号xawlbはVccに、電源hnersはVssに設定する。この設定は、上述のプログラム動作時と同様である。また、入力信号hnsetはVccに、電源hvnegはVssに、電源hhvpreはVccに設定する。尚、リード動作時には、電源hvneg1はhvnegと、電源hhvpre1はhhvpreと同じ値を取る。このことは、上述のプログラム動作時における初期の設定と同じである。尚、上記プログラム動作の場合で

は、この後に、V_{neg}を出力させるために耐圧を考慮してレベル変動を行っている。

【0090】

したがって、上記制御電圧回路部13、選択電圧回路部14、非選択電圧回路部15およびドライバ部12の動作は、上述したプログラム動作時の初期状態の場合と同様であり、その結果、選択ワード線WL0および非選択ワード線WL1～WL16383への出力は、出力電圧のレベルは異なるが表3と同じになる。リード動作時の選択ワード線WL0および非選択ワード線WL1～WL16383への出力状態を表4に示す。

【表4】

リード時(電源 h_hv_pn_x がV_{cc})のロウデコーダの出力信号

pre	sel	制御電圧回路出力		選択電圧回路	非選択電圧回路	ワード線WLへの出力電圧
		hrda	hrdab	hhvx	hnn	
L	L	L	H	V _{ss}	V _{ss}	V _{ss}
L	H	L	H	V _{ss} →V _{cc}	V _{ss}	V _{ss}
H	L	H	L	V _{ss}	V _{ss}	V _{ss}
H	H	H	L	V _{ss} →V _{cc}	V _{ss}	V _{ss} →V _{cc}

【0091】

これによって、選択されたワード線WL0(表4において(pre, sel)が(H, H))には電源h_hv_pn_x(電源h_hv_pn_xはアドレスが確定した後にV_{ss}からV_{cc}に変化)が出力される。そして、選択ワード線WL0にV_{cc}(例えば、3V)が印加されることによって、この選択ワード線WL0にコントロールゲートが接続されたメモリセルのリードが可能になるのである。

【0092】

そして、読み出すべきメモリセルのソースに接続されているメインビット線BLには0Vを印加する一方、ドレインに接続されたメインビット線BLには1Vを印加する。そして、上記ドレインに接続されたメインビット線BLを流れる電流をセンス回路(図示せず)で検出することによって、当該メモリセルに保持され

たデータを読み取ることができるのである。

【 0 0 9 3 】

一方、非選択ワード線WL1～WL16383にはVssが出力されるため、これらの非選択ワード線WL1～WL16383にコントロールゲートが接続されているメモリセルのリードは行われないのである。

【 0 0 9 4 】

(3) イレース動作モード

イレース動作は、上述したようにブロック単位で行われる。ここでは、ブロック0(つまり、ワード線WL0～WL31がコントロールゲートに接続されているメモリセル)をイレースする場合について説明する。この場合におけるロウデコーダ11への入力波形および出力波形を図11に示す。

【 0 0 9 5 】

まず、イレースセット用信号erssetupのレベルを「L」(Vss)から「H」(Vcc)に立ち上げる。この場合、反転信号であるerssetupbのレベルは、逆に「H」(Vcc)から「L」(Vss)に立ち下がることになる。

【 0 0 9 6 】

さらに、ブロック単位で動作させるために、信号xawlbのレベルを「H」(Vcc)から「L」(Vss)に立ち下げる。これによって、全プレデコーダiの出力は、アドレス信号a0～a4に拘わらずprei=「H」(Vcc)となり、ブロック単位の動作となる。これに対して、信号xnwlbのレベルは、プログラム動作及びリード動作の場合と同様に「L」(Vss)のままである。また、信号hnsetはVccに、電源hvneg(イレース動作ではhvneg1はhvnegと同じ値を取る)はVssに設定する。また、電源hhvpre及び電源hhvpre1は最初Vccに設定する。そして、電源hnersがVssからVneeにレベル変換した後、電源hhvpreのみをVccからVppに立ち上げる。一方、電源hhvpre1は、イレースセット用信号の反転信号erssetupbがVccからVssに下がる前に、VccからVssに下げておく。

【 0 0 9 7 】

図11に示すように、イレース動作がスタートすると、アドレス信号a0～a13が、上述したプログラム動作およびリード動作の場合と同様に、プレデコーダ

およびブロックデコーダに入力される。そして、ブロックアドレスBAがセットされる。但し、信号xawlbのレベルが「L」になっているので、全プレデコーダの出力信号pre0～pre31のレベルはアドレスa0～a4の値に拘わらず「H」となる。したがって、ブロックデコーダ0の出力信号se10のレベルが「H」になればブロック0が選択されたことになる。つまり、ロウデコーダ11の動作はブロック単位となり、アドレスa5～a13によって動作することになる。

【0098】

まず、上記制御電圧回路の動作について説明する。イレースセット用信号の反転信号erssetupbのレベルが「L」(Vss)になるため、制御電圧回路0～制御電圧回路31のNチャネルMOSトランジスタN1,N3はオンとなる。また、入力信号hnsetのレベルは「H」(Vcc)であるため、NチャネルMOSトランジスタN2,N4もオンする。したがって、出力信号hrda0～hrda31および出力信号hrdab0～出力信号31の双方がVssに引っぱられて、レベルが「L」となる。但し、上述したように、電源hhvpre1および電源hvneg1はVssに下げられているため、回路上問題はない。

【0099】

続いて、上記選択電圧回路について説明する。入力信号hnsetのレベルは「H」(Vcc)であるために、選択電圧回路0(入力信号se1=「H」(Vcc))においては、NチャネルMOSトランジスタN8,N9,N10がオンして、ノードn2がVssに引っ張られる。一方、選択電圧回路1～選択電圧回路511(入力信号se1=「L」(Vss))においては、NチャネルMOSトランジスタN7,N8,N10がオンして、ノードn1がVssに引っぱられる。

【0100】

つまり、上述のプログラム動作時において述べたように、入力信号se1=「H」(Vcc)が入力される選択電圧回路においては、ノードn1のレベルが「H」(=電源hhvpre(最初はVcc))に、ノードn2のレベルが「L」(=電源hvneg(Vss))に固定されることになる。一方、入力信号se1=「L」(Vss)が入力される選択電圧回路においては、逆に、ノードn1のレベルが「L」(=電源hvneg(Vss))に、ノードn2のレベルが「H」(=電源hhvpre(最初はVcc))に固定されることになる。

【0101】

次に、電源hvhpreがVccからVppに立ち上がり、次いで電源hvnpxがVssからVppに立ち上がる。この電源hvnpxがVppである期間が、消去すべきブロックのメモリセルのコントロールゲートに接続されたワード線WLにイレース電圧が印加される期間となる。したがって、上記選択電圧回路0(選択ブロック)の出力信号hvx0は、電源hvnpxがVssの場合はVssとなり、電源hvnpxがVppに立ち上がると、オンしているPチャネルMOSトランジスタP3によってVppとなる。一方、選択電圧回路1～選択電圧回路511(非選択ブロック)の出力信号hvx1～hvx511は、電源hvnpxがVssの場合はVssとなり、電源hvnpxがVppに立ち上がっても、オンしているNチャネルMOSトランジスタN11によってVssとなるため変化しないのである。

【0102】

次に、上記非選択電圧回路の動作について説明する。上記イレースセット用信号erssetupのレベルが「H」(Vcc)であるため、入力信号sel0=「H」(Vcc)が入力される非選択電圧回路0(選択ブロック)においては、PチャネルMOSトランジスタP5がオンし、そのためNチャネルMOSトランジスタN14もオンする。その結果、ノードn3には電源hners(Vss→Vnee)が出力されてラッチされ、出力信号hnn0はVssとなる。一方、入力信号sel1～sel511=「L」(Vss)が入力される非選択電圧回路1～非選択電圧回路1511(非選択ブロック)においては、PチャネルMOSトランジスタP6がオンし、そのためNチャネルMOSトランジスタN13もオンする。その結果、ノードn3にはVccが出力されて、出力信号hnn1～hnn511は電源hners(Vss→Vnee)となる。ここで、電源hnersは、最初Vssであり、後にVneeに立ち下がる。

【0103】

上述のように設定された各信号が、ロウデコーダ11のドライバ部12に入力される。ここで、全制御電圧回路の出力信号hrda0～hrda31及び出力信号hrdab0～hrdab31は、双方共Vssである。そして、最初は、電源hnersはVssであり、電源hvnpxはVssである。

【0104】

ここで、上記選択ブロック 0 に係る選択電圧回路 0 の出力信号 $hhvx0$ は、上記電源 $hnpvx$ が V_{ss} であるため V_{ss} である。また、上記非選択電圧回路 0 の出力信号 $hnn0$ は V_{ss} である。一方、非選択ブロック 1 ～非選択ブロック 511 に係る選択電圧回路 1 ～選択電圧回路 511 の出力信号 $hhvx1 \sim hhvx511$ は V_{ss} である。また、非選択電圧回路 1 ～非選択電圧回路 511 の出力信号 $hnn1 \sim hnn511$ は、電源 $hners$ が V_{ss} であるため V_{ss} である。したがって、先ず、総てのワード線 $WL0 \sim WL16383$ には、ドライバ部 12 を介して V_{ss} が出力される。

【0105】

続いて、上記電源 $hners$ が V_{ss} から V_{nee} (例えば、 $-8V$) に立ち下がる。これによって、非選択ブロックに係る非選択電圧回路 1 ～非選択電圧回路 511 の出力信号 $hnn1 \sim hnn511$ は V_{nee} となる。尚、非選択ブロックに係る選択電圧回路 1 ～選択電圧回路 511 の出力信号 $hhvx1 \sim hhvx511$ は V_{ss} のままである。そして、全制御電圧回路の出力信号 $hrda$ と出力信号 $hrdab$ とは総て V_{ss} であるため、非選択ブロックに関する各ドライバの非選択電圧回路にソースが接続された N チャンネル MOS トランジスタがオンする。その結果、非選択ワード線 $WL32 \sim WL16383$ には V_{nee} が出力されるのである。

【0106】

一方、上記選択ブロックに係る非選択電圧回路 0 の出力信号 $hnn0$ は、入力信号 $sel0$ のレベルが「H」であるため V_{ss} のままである。尚、選択ブロックに係る選択電圧回路 0 の出力信号 $hhvx0$ は V_{ss} のままである。したがって、選択ワード線 $WL0 \sim WL31$ には変化なく V_{ss} が印加されている。

【0107】

続いて、上記電源 $hnpvx$ が V_{ss} から V_{pp} (例えば、 $10V$) に立ち上がる。そうすると、選択ブロックに係る選択電圧回路 0 の出力信号 $hhvx0$ は V_{ss} から V_{pp} に変化し、これによって選択ブロック 0 に間する各ドライバの選択電圧回路 0 にソースが接続された P チャンネル MOS トランジスタがオンする。その結果、選択ワード線 $WL0 \sim WL31$ への出力は、 V_{ss} から V_{pp} に変るのである。

【0108】

一方、上記非選択ブロックに係る非選択電圧回路 1 ～非選択電圧回路 511 の

出力信号hnn1～hnn511は、上記入力信号sel1～sel511のレベルが「L」であるためV_{nee}のままである。

【0109】

そして、上記選択ブロック0のワード線WLに上記コントロールゲートが接続されたメモリセルの消去が完了すると、上述の手順とは逆に、先ず電源h_{nv}pnxをV_{pp}からV_{ss}に戻す。これによって、イレース動作を行っていたワード線WL0～WL31の電圧はV_{pp}からV_{ss}に戻る。次に、上記電源h_{hv}preをV_{pp}からV_{cc}に戻し、さらに電源h_{ners}をV_{nee}からV_{ss}に戻す。これによって、非選択のワード線WL32～WL16383の電圧はV_{nee}からV_{ss}に戻る。その後、信号xawl_bのレベルを「L」(V_{ss})から「H」(V_{cc})に戻し、電源ers_{setup}のレベルを「H」(V_{cc})から「L」(V_{ss})に戻した後、電源h_{hv}pre₁をV_{ss}からV_{cc}に戻すのである。

【0110】

以上述べたイレース動作時におけるロウデコーダ11の各回路の入出力信号およびワード線WLへの出力の電圧をまとめて表5に示す。

【表5】

イレース時(電源h_{nv}pnxがV_{pp})のロウデコーダの出力信号

pre	sel	制御電圧回路出力		選択電圧回路	非選択電圧回路	ワード線WLへの出力電圧
		hrda	hrdab	hhvx	hnn	
H	L	V _{ss}	V _{ss}	V _{ss}	V _{ss} →V _{nee}	V _{ss} →V _{nee}
H	H	V _{ss}	V _{ss}	V _{ss} →V _{pp}	V _{ss}	V _{ss} →V _{pp}

表5において、入力信号sel=「H」は選択ブロックを表し、入力信号sel=「L」は非選択ブロックを表わしている。

【0111】

上述のようなロウデコーダ11の動作によって、選択ブロック0のワード線WL0～WL31にはV_{pp}が印加される。さらに、メインビット線BLを介して、メモリセルのドレイン、ソースおよびメモリセルアレイ内の基板(ウェル)にはV_{nee}を印加する。こうすることによって、選択ブロック0内のメモリセルでは、FNトンネル現象によってチャネル層からフローティングゲートに電子が注入されてメモリセルの閾値が上昇し、4V以上になればイレース動作が終了する。

【0112】

一方、非選択ブロック1～非選択ブロック511では、ワード線WL32～WL16383にはV_{nee}が印加される。一方、メインビット線BLおよび基板(ウェル)には、選択ブロック0内のメインビット線BLおよび基板(ウェル)と共通であるためV_{nee}が印加されている。したがって、非選択ブロック1～非選択ブロック511においては、各メモリセルのコントロールゲート、ドレイン、ソースおよび基板(ウェル)に同一電圧V_{nee}が印加され、イレース時の基板ディスターブは受けないことになる。

【0113】

その結果、上記ロウデコーダ11を用いることによって、図2に示すごとく、ディスターブ時間の累計が 10^6 secを越えても、イレース時の基板ディスターブの影響を受け易い閾値の低いメモリセル(プログラム状態)でも閾値電圧V_tの変動は殆ど無く、誤読み出しが起こらない信頼性の高い不揮発性半導体記憶装置を実現することができる。さらに、非選択ブロックのワード線WLが基板(ウェル)と同電位であるので、イレース時に関係する容量を削減することができ、チャージポンプのレイアウト面積を小さくすることができる。

【0114】

＜第2実施の形態＞

図12は、本実施の形態のロウデコーダのブロック図を示す。本実施の形態においては、各ワード線WLに接続されてロウデコーダ21のドライバ部22を構成する各ドライバを、PチャネルMOSトランジスタとNチャネルMOSトランジスタの2つのトランジスタだけで構成したものであり、各ドライバが占める面積を大きく削減するものである。

【0115】

そのため、第1実施の形態における選択電圧回路部14および非選択電圧回路部15に変わって、高電圧回路部24および低電圧回路部25を設けている。また、プレデコーダ部26およびブロックデコーダ部27は、第1実施の形態におけるプレデコーダ16部およびブロックデコーダ部17と同様の構成を有している。さらに、信号prgsetupおよび信号wlonと電源hvnmxおよび電源hhvppを新た

に設けている。

【0116】

ここで、図13に、制御電圧回路部23を構成する制御電圧回路0の回路図を示す。また、図14に、上記高電圧回路部24を構成する高電圧回路0の回路図を示す。また、図15に、低電圧回路部25を構成する低電圧回路0の回路図を示す。尚、プレデコーダ部26を構成するプレデコーダ0の回路構成は、図8と同様である。また、ブロックデコーダ部27を構成するブロックデコーダ0の回路構成は、図7と同様である。さらに、各動作時におけるロウデコーダ21に対する入出力波形を図16～図18に示す。尚、高電圧回路部24および低電圧回路部25は、選択あるいは非選択されたワード線WLにドライバ部22を介して印加電圧を出力するものである。

【0117】

図13は、制御電圧回路0の回路構成を示し、入力信号pre0を入力することによって出力信号hrdab0を生成する。入力信号pre0以外の入力信号および電源は各制御電圧回路 i ($i = 0 \sim 31$)で共通である。図14および図15は、夫々高電圧回路0と低電圧回路0の回路構成を示し、入力信号sel0を入力することによって出力信号hhvx0あるいは出力信号hnn0を生成する。入力信号sel0以外の入力信号および電源は各高電圧回路 j および低電圧回路 j ($j = 0 \sim 511$)で共通である。

【0118】

上記制御電圧回路0からの出力信号hrdab0は、ソースに高電圧回路0の出力信号hhvx0が入力されるPチャネルMOSトランジスタと、ソースに低電圧回路0の出力信号hnn0が入力されるNチャネルMOSトランジスタとのゲートに入力される。この両トランジスタは、ブロック1の1番目のワード線WL0用のドライバを構成しており、互いのドレイン同士は共通にワード線WL0に接続されている。

【0119】

同様に、上記制御電圧回路0からの出力信号hrdab0は、ブロック n の1番目のワード線ワード線WL32 n ($n = 1 \sim 511$)に共通にドレインが接続されたPチ

ヤネルMOSトランジスタとNチャネルMOSトランジスタとのゲートにも接続されている。

【0120】

以下同様に、上記制御電圧回路31からの出力信号hrdab31は、ソースに高電圧回路0の出力信号hhvx0が入力されるPチャネルMOSトランジスタと、ソースに低電圧回路0の出力信号hnn0が入力されるNチャネルMOSトランジスタとのゲートに入力される。そして、この両トランジスタは、ブロック1における最終番目のワード線WL31用のドライバを構成しており、互いのドレイン同士は共通にワード線WL31に接続されている。

【0121】

同様に、上記制御電圧回路31からの出力信号hrdab31は、ブロックnの最終番目のワード線WL(32n+31) ($n=1\sim 511$)に共通にドレインが接続されたPチャネルMOSトランジスタとNチャネルMOSトランジスタとのゲートにも接続されている。

【0122】

本実施の形態のロウデコーダ21によって駆動されるフラッシュメモリのメモリ構成は、第1実施の形態の場合と同様である。以下、本実施の形態におけるプログラム動作、リード動作およびイレース動作時におけるロウデコーダ21の動作について説明する。

【0123】

(1) プログラム動作モード

ここでは、上記ワード線WL0にコントロールゲートが接続されたメモリセルに書き込む場合について説明する。プログラム動作がスタートすると、先ず信号prgsetupのレベルが「L」(V_{ss})から「H」(V_{cc})に立ち上がる。そして、アドレス信号a0～a13によってページアドレスPAがセットされる。ここで、図12に示すようにアドレス信号a0～a4はプレデコーダ0～プレデコーダ31に入力される。一方、アドレス信号a5～a13はブロックデコーダ0～ブロックデコーダ511に入力される。

【0124】

こうして、32個のプレデコーダおよび512個のブロックデコーダのうち何れかが選択されるとレベル「H」(V_{cc})の出力信号を出力する。例えば、ワード線WL0を選択する場合には、プレデコーダ0の出力信号pre0およびブロックデコーダ0の出力信号sel0のレベルが「H」(V_{cc})になる。一方、非選択であるワード線WLに係るプレデコーダ1～プレデコーダ31の出力信号pre1～pre31及びブロックデコーダ1～プレデコーダ511の出力信号sel1～sel511のレベルは「L」(V_{ss})となる。

【0125】

ここで、上記ワード線WL0の印加電圧を V_{ss} からプログラム時の V_{neg} (-8V)にロウデコーダ21によって変える場合には、各電源電圧や制御信号のレベルを以下のように変換させる。信号erssetupbのレベルは「H」(V_{cc})であり、入力信号hnsetと電源hhvpre, hhvpre1およびhvnegとを第1実施の形態の場合と同様のタイミングでレベル変換を行う。

【0126】

まず、上記制御電圧回路について、図13に従って説明する。制御電圧回路0は、入力信号pre0および信号prgsetupのレベルが「H」(V_{cc})であるため、ノードn5にはレベル「L」(V_{ss})が出力されることになる。したがって、制御電圧回路0は、第1実施の形態の制御電圧回路0において、入力信号pre0=「L」で説明した場合と同じ動作を行う。その結果、出力信号hrdab0のレベルは「H」状態に固定され、電源hhvpre1のレベル変換に伴って V_{cc} から V_{ss} に電位が変わる。一方、非選択側の制御電圧回路1～制御電圧回路31は、入力信号pre1～pre31のレベルが「L」(V_{ss})であることから、ノードn5のレベルは「H」(V_{cc})となり、第1実施の形態の制御電圧回路0において、入力信号pre0=「H」で説明した場合と同じ動作を行う。その結果、出力信号hrdab1～hrdab31のレベルは「L」状態に固定され、電源hvneg1のレベル変換に伴って V_{ss} から V_{bb} に、さらに V_{neg} に電位が変わる。尚、このプログラム動作においては、電源hhvpreとhhvpre1および電源hvneg1とhvnegは同じ値を取る。

【0127】

続いて、上記高電圧回路の動作について説明する。まず、信号prgsetupのレベ

ルは上述と同様に「H」(V_{cc})であり、信号 $wlon$ のレベルは「L」(V_{ss})に設定される。これによって、高電圧回路 0 (入力信号 $sel0$ = 「H」) のノード $n6$ のレベルは「H」(V_{cc})となり、NチャネルMOSトランジスタ $N25$ がオンすることによって、PチャネルMOSトランジスタ $P12$ もオンする。その結果、ノード $n7$ のレベルは電源 $hhvpp$ レベルとなり、出力信号 $hhvx0$ は V_{ss} となる。一方、非選択側の高電圧回路 1 ~ 高電圧回路 5 1 1 (入力信号 $sel1 \sim sel511$ = 「L」) も、そのノード $n6$ のレベルが「H」(V_{cc})になることから、高電圧回路 0 と同じに動作する。結果として、出力信号 $hhvx1 \sim hhvx511$ は V_{ss} となる。

【0 1 2 8】

次に、上記低電圧回路の動作について説明する。入力信号 $hnset$ と電源 $hhvpre$, $hhvpre1$ および $hvneg$ とは制御電圧回路の場合と同様である。したがって、低電圧回路 0 (入力信号 $sel0$ = 「H」(V_{cc}))においては、上述した制御電圧回路 0 (ノード $n5$ = 「H」(V_{cc}))と同じであるため、ノード $n9$ のレベルは「L」となる。そして、電源電圧 $hvneg$ のレベル変換に伴って、 V_{ss} から V_{bb} に、さらに V_{neg} と電位が変わる。一方、ノード $n8$ のレベルは、逆に「H」となるため、電源 $hhvpre$ のレベル変換に伴って、 V_{cc} から V_{ss} に電位が変わる。尚、電源 $hnrs$ は V_{ss} である。また、電源 $hvnvx$ は、電源 $hvneg$ が V_{neg} に落ちた後に、 V_{ss} から V_{neg} に電位が変わる。

【0 1 2 9】

これによって、出力信号 $hnn0$ は、電源 $hvnvx$ が V_{ss} の場合は V_{ss} となる。そして、電源 $hvnvx$ が V_{neg} に落ちると、オンしているNチャネルMOSトランジスタ $N32$ によって V_{neg} となる。

【0 1 3 0】

また、非選択側の低電圧回路 1 ~ 低電圧回路 5 1 1 (入力信号 $sel1 \sim sel511$ = 「L」(V_{ss}))においては、上述した制御電圧回路 1 ~ 制御電圧回路 5 1 1 (ノード $n5$ = 「L」(V_{ss}))と同じであるため、ノード $n9$ のレベルは「H」となる。したがって、電源 $hhvpre$ のレベル変換に伴って V_{cc} から V_{ss} に電位が変わる。一方、ノード $n8$ のレベルは逆に「L」となるため、電源 $hvneg$ のレベル変換に伴って、 V_{ss} から V_{bb} に、さらに V_{neg} に電位が変わる。尚、電源 $hnrs$ は V_{ss} である。ま

た、電源hvnvxは、電源hvnegがVnegに落ちた後に、VssからVnegに電位が変わる。

【0131】

これによって、出力信号hnn1～hnn511は、電源hvnvxがVssの場合はVssとなる。そして、電源hvnvxがVnegに落ちると、オンしているPチャネルMOSトランジスタP14によってVss(hners)となるため、Vssの電位を維持することになる。

【0132】

これらの信号や電圧レベルが上記ロウデコーダ21のドライバ部22に入力されると、各ワード線WLの印加電圧が以下のように設定される。すなわち、選択ワード線WL0(下記表6におけるpre=sel=「H」に相当)においては、上記出力信号hrdab0のレベルは「H」(電源hhvpreはVss)であり、出力信号hhvx0はVssである。また、出力信号hnn0がVssからVnegに変わる。したがって、選択ワード線WL0には、最初Vssが出力されているが、次に入力信号hnn0がVnegに変わるとNチャネルMOSトランジスタがオンしてVnegが出力されることになる。

【0133】

一方、非選択ワード線WL31(下記表6におけるpre=「L」,sel=「H」に相当)では、上記出力信号hrdab31のレベルは「L」(電源hvnegはVneg)であり、出力信号hhvx0はVssである。また、出力信号hnn0はVssからVnegに変わる。したがって、上記非選択ワード線WL31には、最初Vssが出力され、次に入力信号hnn0がVnegに変わるとPチャネルMOSトランジスタがオンして出力信号hhvx0が出力される。尚、出力信号hnn0はVssであるため、結局非選択ワード線WL31の印加電圧には変化がなくVssが出力されることになる。

【0134】

また、非選択ワード線WL16352(下記表6におけるpre=「H」,sel=「L」に相当)においては、出力信号hrdab0のレベルは「H」(電源hhvpreはVss)であり、出力信号hhvx511はVssであり、出力信号hnn511はVss(hners)である。そのため、非選択ワード線WL16352にはVssが出力されることになる。

【0135】

最後に、非選択ワード線WL16383(下記表6におけるpre=sel=「L」に相当)においては、出力信号hrdab0のレベルは「L」(電源hvnegはVneg)であり、出力信号hhvx511はVssであり、出力信号hnn511はVss(hners)である。そのため、非選択ワード線WL16383にはVssが出力されることになる。

【0136】

以上のごとく、上記選択ワード線あるいは非選択ワード線への出力は上記4つの場合に集約される。以下、これらをまとめて表6に示す。

【表6】

プログラム時(電源hvnnxがVneg)のロウデコーダの出力信号

pre	sel	制御電圧回路 hrdab	高電圧回路 hhvx	低電圧回路 hnn	ワード線WLへの出力電圧
L	L	L	Vss	Vss(hners)	Vss
L	H	L	Vss	Vss→Vneg	Vss
H	L	H	Vss	Vss(hners)	Vss
H	H	H	Vss	Vss→Vneg	Vss→Vneg

結果的には、選択ワード線WL0にはVnegが印加され、非選択ワード線WL1～WL16383にはVssが印加されるのである。

【0137】

表6に示すように上記ロウデコーダ21からワード線WLに電圧を印加すると同時に、メインビット線BLを介して書き込むべきメモリセルのドレインに電圧Vprg(例えば5V)を印加すると共に、ソースをフローティング状態にする。こうすることで、FNトンネル現象によってフローティングゲートから電子が引き抜かれて当該メモリセルの閾値が2V以下に低下し、プログラム動作が終了するのである。

【0138】

その後、電源hvnnxをVnegからVssに戻すことによって、選択されたワード線WL0への出力をVnegからVssに戻し、電源hhvpre, 電源hvnegおよび入力信号hnsetをプログラム開始時とは逆のタイミングで最初の状態に戻して行く。こうすることによって、印加電圧を変えても内部状態は変わらないのである。

【0 1 3 9】

(2) リード動作モード

この場合も、上記ワード線WL0にコントロールゲートが接続されたメモリセルを読み出す場合について説明する。この場合におけるロウデコーダ21への入力波形および出力波形を図17に示す。

【0 1 4 0】

図17に示すように、リード動作がスタートすると、先ずアドレスがa0～a13によってページアドレスPAがセットされる。これによるロウデコーダ21内の信号preおよび信号selの設定は、上述のプログラム動作と同様である。本例においては、ワード線WL0が選択されるため、信号pre0および信号sel0のレベルは「H」(Vcc)となり、他の信号pre1～信号pre31と信号sel1～信号sel1511のレベルが「L」(Vss)となる。

【0 1 4 1】

一方、上記信号erssetupはVccに、信号prgsetupはVssに設定する。また、信号hnsetはVccに、電源hvnegはVssに、電源hhvpreはVccに設定する。尚、リード動作においては、電源hvneglはhvnegと、電源hhvpre1はhhvpreと同じ値を取る。以上のことは、上述のプログラム動作時における初期の設定と同じである。尚、上記プログラム動作の場合では、この後に、Vnegを出力させるために耐圧を考慮してレベル変動を行っている。更に、信号hnersをVssに、信号hhvppをVccに、信号hvnvxをVssに設定している。

【0 1 4 2】

先ず、上記制御電圧回路の動作について述べる。この場合には、信号prgsetupのレベルは「L」(Vss)であるため、ノードn5におけるレベルは上述のプログラム動作の場合とは反転する。したがって、入力信号pre=「H」(Vcc)の場合、出力信号hrdabのレベルは「L」となり、その電位はhvneg(Vss)となる。一方、入力信号pre=「L」(Vss)の場合には、出力信号hrdabのレベルは「H」となり、その電位はhhvpre(Vcc)となる。

【0 1 4 3】

次に、上記高電圧回路の動作について述べる。信号wlonのレベルを「L」(Vss)

からアドレス確定後に「H」(V_{cc})に立ち上げる。これによって、入力信号 $se1 =$ 「H」(V_{cc}) の場合には、ノード $n6$ の電位は V_{cc} から V_{ss} に立ち下がり、ノード $n7$ の電位は信号 $hhvpp$ のレベルから V_{ss} に立ち下がる。その結果、上記出力信号 $hhvx$ は、 V_{ss} から $V_{cc}(hhvpp)$ に立ち上がる。一方、入力信号 $se1 =$ 「L」(V_{ss}) の場合には、信号 $wlon$ の変化に拘わらず上記ノード $n6$ のレベルは「H」(V_{cc}) である。その結果、出力信号 $hhvx$ は V_{ss} である。

【0144】

続いて、上記低電圧回路の動作について述べる。入力信号 $se1 =$ 「H」(V_{cc}) の場合には、ノード $n9$ の電位は V_{ss} に引き込まれる。その結果、ノード $n9$ の電位は $V_{ss}(hvneg)$ に、ノード $n8$ の電位は $V_{cc}(hhvpre)$ になる。一方、上記入力信号 $se1 =$ 「L」(V_{ss}) の場合は上述とは逆の関係になる。ところが、電源 $hvnvx$ および電源 $hners$ は V_{ss} に設定されているので、出力信号 hnn は V_{ss} となる。

【0145】

以上のことによって、選択ワード線 $WL0$ (下記表 7 における $pre = se1 =$ 「H」に相当) においては、以下のように印加電圧が設定されることになる。すなわち、出力信号 $hrdab0$ および出力信号 $hnn0$ が V_{ss} であるため、出力信号 $hhvx0$ が V_{ss} から V_{cc} に立ち上がると P チャンネル MOS トランジスタがオンする。したがって、選択ワード線 $WL0$ への印加電圧は V_{ss} から V_{cc} に変化する。そして、選択ワード線 $WL0$ への V_{cc} (例えば、3 V) の印加によって、この選択ワード線 $WL0$ にコントロールゲートが接続されているメモリセルのリードが可能となる。そして、読み出すべきメモリセルのソースに接続されているメインビット線 BL には 0 V を印加する一方、ドレインに接続されているメインビット線 BL には 1 V を印加する。そして、上記ドレインに接続されたメインビット線 BL を流れる電流をセンス回路 (図示せず) で検出することによって、当該メモリセルに保持されたデータを読み取ることができるのである。

【0146】

一方、非選択ワード線 $WL1 \sim WL16383$ においては、先ずワード線 $WL31$ (下記表 7 における $pre =$ 「L」、 $se1 =$ 「H」に相当) への出力は次のようになる。すなわち、出力信号 $hnn0$ は V_{ss} であり、出力信号 $hhvx0$ は V_{ss} から V_{cc} へ立ち上がる。

ところが、出力信号hrdab31はVccであるため、NチャネルMOSトランジスタがオンするので、ワード線WL31への出力はVssを維持することになる。

【0147】

また、ワード線WL16352(下記表7におけるpre=「H」,sel=「L」に相当)への出力は、出力信号hrdab0,出力信号hhvx511および出力信号hnn511はVssであるためVssレベルを維持する。

【0148】

さらに、ワード線WL16383(下記表7におけるpre=sel=「L」に相当)への出力は、出力信号hrdab31はVccであるが、出力信号hhvx511および出力信号hnn511がVssのために、Vssレベルを維持する。

【0149】

以上のごとく、上記選択ワード線あるいは非選択ワード線への出力は上記4つの場合に集約される。以下、これらをまとめて表7に示す。

【表7】

リード時(信号wlonがVccに変化)のロウデコーダの出力信号

pre	sel	制御電圧回路 hrdab	高電圧回路 hhvx	低電圧回路 hnn	ワード線WLへの出力電圧
L	L	Vcc	Vss	Vss	Vss
L	H	Vcc	Vss→Vcc	Vss	Vss
H	L	Vss	Vss	Vss	Vss
H	H	Vss	Vss→Vcc	Vss	Vss→Vcc

そして、リード動作が終了すれば、信号wlonをVssに戻すことによって、選択ワード線WL0はVssレベルに戻る。

【0150】

(3) イレース動作モード

イレース動作は、第1実施の形態の場合と同様にブロック単位で行われる。ここでは、ブロック0(つまり、ワード線WL0～WL31がコントロールゲートに接続されているメモリセル)をイレースする場合で説明する。この場合におけるロウデコーダ21への入力波形および出力波形を図18に示す。

【0151】

まず、イレースセット用信号`erssetup`のレベルを「L」(V_{ss})から「H」(V_{cc})に立ち上げる。この場合、反転信号である`erssetupb`のレベルは逆に「H」(V_{cc})から「L」(V_{ss})に立ち下がる。また、信号`xnw1b`のレベルは「L」(V_{ss})であるが、信号`xaw1b`のレベルを「H」(V_{cc})から「L」(V_{ss})に立ち下げる。これによって、第1実施の形態の場合と同様に、プレデコーダ0～プレデコーダ31の出力信号`pre0`～`pre31`のレベルは、 a_0 ～ a_4 の値に拘わらず全て「H」(V_{cc})となり、ブロック単位の動作となる。

【0152】

信号`hnset`と電源`hvneg`および電源`hhvpre`とは、上述のプログラム時で説明した電圧レベルと同じタイミングでレベルを変換する。但し、上記信号`hnset`と電源`hvneg`との最も低い電圧は V_{nee} である点が異なる。一方、電源`hhvpre1`はイレースセット用信号の反転信号`erssetupb`が V_{cc} から V_{ss} に立ち下がる前に、 V_{cc} から V_{ss} にレベルを変える。さらに、電源`hvneg1`は V_{ss} レベルを維持する。

【0153】

図18に示すように、イレース動作がスタートすると、アドレス信号 a_0 ～ a_{13} が、上述したプログラム動作およびリード動作の場合と同様に、プレデコーダおよびブロックデコーダに入力される。そして、ブロックアドレス BA がセットされる。但し、信号`xaw1b`のレベルが「L」になっているので、全プレデコーダの出力信号`pre0`～`pre31`のレベルはアドレス a_0 ～ a_4 の値に拘わらず「H」となる。したがって、ブロックデコーダ0の出力信号`sel0`のレベルが「H」になればブロック0が選択されたことになる。つまり、ロウデコーダ21の動作はブロック単位となりアドレス a_5 ～ a_{13} によって動作することになる。

【0154】

まず、上記制御電圧回路の動作について説明する。上記イレースセット用信号の反転信号`erssetupb`のレベルが「L」(V_{ss})になるために、信号`pre`のレベル状態に拘わらず制御電圧回路のNチャネルMOSトランジスタ N_{21} , N_{23} はオンとなる。また、入力信号`hnset`のレベルは、最初「H」(V_{cc})であるため、NチャネルMOSトランジスタ N_{22} , N_{24} もオン(後に、入力信号`hnset`のレベルが下がるた

めオフとなる)となり、出力信号hrdabのレベルは「L」(V_{ss})に引っぱられることになる。但し、上述したように、電源hhvpre1および電源hvneg1は V_{ss} に下げられているため、回路上問題はない。したがって、図13から分かるように、イレースセット用信号の反転信号erssetupbのレベルが「L」(V_{ss})であるため、入力信号prei ($i = 0 \sim 31$)の値に拘わらず、出力信号hrdabi は全て V_{ss} となる。

【0155】

次に、上記高電圧回路の動作について説明する。信号prgsetupのレベルは「L」(V_{ss})であり、信号wlonのレベルは初期では「L」(V_{ss})に設定されている。そのため、入力信号selの値に拘わらずノードn6のレベルは「H」(V_{cc})となる。その結果、出力信号hhvxは V_{ss} となる。その後、電源hhvppを V_{cc} から V_{pp} に立ち上げる。

【0156】

そうすると、非選択ブロック($sel = \text{「L」} (V_{ss})$)においては、ノードn6のレベルは「H」(V_{cc})となって出力信号hhvxは V_{ss} となる。一方、選択ブロック($sel = \text{「H」} (V_{cc})$)においては、初期に信号wlonのレベルが「L」(V_{ss})の場合、出力信号hhvxは V_{ss} となる。ところが、信号wlonのレベルが「H」(V_{cc})に変わるとノードn6のレベルは「L」(V_{ss})となるために、出力信号hhvxは V_{pp} (=電源hhvpp (V_{pp}))となるのである。

【0157】

次に、上記低電圧回路の動作について述べる。選択ブロック0に係る低電圧回路0 ($sel = \text{「H」} (V_{cc})$)においては、入力信号hnsetのレベルは最初「H」(V_{cc})であるため、NチャネルMOSトランジスタN28, N29, N30がオンしてノードn9が V_{ss} に引っ張られる。これによって、上述のプログラム時において説明したように、ノードn9のレベルは「L」に固定され、その電位は電源hvnegの変化に伴って V_{ss} から V_{bb} にさらに V_{nee} と変化する。一方、ノードn8のレベルは「H」に固定され、その電位は電源hhvpreの変化に伴って V_{cc} から V_{ss} に変化する。

【0158】

これに対して、非選択ブロックに係る低電圧回路1～低電圧回路511 ($sel = \text{「L」} (V_{ss})$)では、入力信号hnsetのレベルは最初「H」(V_{cc})であるため、Nチャ

ネルMOSトランジスタN27,N28,N30がオンして、ノードn8がVssに引っ張られる。これによって、選択ブロック0に係る低電圧回路0の場合とは逆に、ノードn8のレベルが「L」に固定され、その電位が電源hvnegの変化に伴ってVssからVbbにさらにVneeと変化する。一方、上記ノードn9のレベルは「H」に固定され、その電位は電源hhvpreの変化に伴ってVccからVssに変化する。

【0159】

そして、電源hvnnxをVssに一定とし、電源hnersをVssからVneeに落とす。この落とすタイミングは電源hvnegをVbbからVneeに下げた後に行う。こうして、電源hnersをVssからVneeに落とした後、信号wlonをVssからVccに立ち上げる。この信号wlonがVccである期間が、消去すべきブロックのメモリセルのコントロールゲートに接続されたワード線WLにイレース電圧が印加される期間となる。

【0160】

その結果、上記選択ブロック0の出力信号hnn0(sel=「H」(Vcc),ノードn8はVss,ノードn9はVnee)は、最初電源hnersがVssの場合はVssであるが、次いで電源hnersがVneeに変換されるとPチャネルMOSトランジスタP13がオンして、Vss(=電源hvnnx(Vss))が出力されることになる。また、その他の出力信号hnn1~hnn511(sel=「L」(Vss),ノードn8はVnee,ノードn9はVss)は、最初電源hnersがVssの場合はVssであるが、次いで電源hnersがVneeに変換されるとNチャネルMOSトランジスタN31がオンし、Vnee(=電源hners(Vnee))が出力されることになる。

【0161】

上述のように設定された各信号および電源がロウデコーダ21のドライバ部22に入力される。ここで、既に説明したように全制御電圧回路の出力信号hrdab0~hrdab31はVssであり、選択ブロック0の高電圧回路0(sel=「H」(Vcc))の出力信号hhvx0は、電源hhvppの変化と信号wlonのレベルが「H」(Vcc)であることに伴って、VssからVppに変化する。一方、非選択ブロック1~非選択ブロック511に係る高圧電圧回路1~高圧電圧回路511(sel=「L」(Vss))の出力信号hhvx1~hhvx511は、Vssレベルを維持する。

【0162】

また、上記選択ブロックに係る低電圧回路 0 の出力信号 $hnn0$ は V_{ss} を維持し、非選択ブロックの高圧電圧回路 1 ～高圧電圧回路 511 の出力信号 $hnn1 \sim hnn511$ は、電源 $hners$ の変化に伴って V_{ss} から V_{nee} に変化する。

【0163】

これによって、上記選択ブロック 0 のドライバにおいては、ワード線 $WL0$ に、最初 V_{ss} が出力され、次いで出力信号 $hhvx0$ が V_{ss} から V_{pp} に立ち上がると P チャネル MOS トランジスタがオンして、 V_{pp} が出力される。一方、非選択ブロック 1 ～非選択ブロック 511 のドライバにおいては、最初ワード線 $WL32 \sim WL16383$ には V_{ss} が出力され、次いで出力信号 $hnn1 \sim hnn511$ が V_{ss} から V_{nee} に立ち下がると N チャネル MOS トランジスタがオンして、 V_{nee} が出力される。

【0164】

そして、上記選択ブロック 0 のワード線 WL に上記コントロールゲートが接続されたメモリセルの消去が完了すると、信号 $wlon$ を V_{cc} から V_{ss} に戻す。そうすると、ワード線 $WL0 \sim WL31$ は V_{pp} から V_{ss} に戻る。次に、電源 $hners$ を V_{nee} から V_{ss} に戻すと、これによってワード線 $WL32 \sim WL16383$ は V_{nee} から V_{ss} に戻る。

【0165】

その後、信号 $hnset$ 、電源 $hvneg$ 、電源 $hhvpre$ を、上述とは逆のタイミングで元に戻して行く。尚、電源 $hhvpp$ は、イレース時には信号 $wlon$ が V_{ss} から V_{cc} に変化する前に V_{cc} から V_{pp} に立ち上げ、イレース終了時には信号 $wlon$ が V_{ss} に戻った後に V_{pp} から V_{cc} に戻してもよいが、電源 $hhvpp$ の変化のタイミングは特に規定する必要はない。

【0166】

以後、信号 $xawl b$ のレベルを「L」(V_{ss}) から「H」(V_{cc}) に戻し、電源 $erssetup$ のレベルを「H」(V_{cc}) から「L」(V_{ss}) に戻した後、電源 $hhvpre1$ を V_{ss} から V_{cc} に戻すのである。

【0167】

以上述べたイレース動作時におけるロウデコーダ 21 の各回路の入出力信号お

よびワード線WLへの出力の電圧をまとめて表8に示す。ここでは、sel=「H」は選択ブロックを表し、sel=「L」は非選択ブロックを表わしている。

【表 8】

イレース時(信号 wlon が Vss→Vcc に変化)のロウデコーダの出力信号

pre	sel	制御電圧回路 hrdab	高電圧回路 hhvx	低電圧回路 hnn	ワード線WL への出力電圧
H	L	Vss	Vss	Vss→Vnee(hners)	Vss→Vnee
H	H	Vss	Vss→Vpp	Vss	Vss→Vpp

【0168】

上述のようなロウデコーダ21の動作によって、選択ブロック0のワード線WL0～WL31にはVppが印加される。さらに、メインビット線BLを介して、メモリセルのドレイン、ソースおよびメモリセルアレイ内の基板(ウェル)にはVneeを印加する。こうすることによって、選択ブロック0内のメモリセルでは、FNトンネル現象によってチャネル層からフローティングゲートに電子が注入されてメモリセルの閾値が上昇し、4V以上になればイレース動作が終了する。

【0169】

一方、非選択ブロック1～非選択ブロック511では、ワード線WL32～WL16383にはVneeが印加される。一方、メインビット線BLおよび基板(ウェル)には、選択ブロック0内のメインビット線BLおよび基板(ウェル)と共通であるためVneeが印加されている。したがって、非選択ブロック1～非選択ブロック511においては、各メモリセルのコントロールゲート、ドレイン、ソースおよび基板(ウェル)に同一電圧Vneeが印加され、イレース時の基板ディスターブは受けないことになる。

【0170】

その結果、上記ロウデコーダ21を用いることによって、図2に示すごとく、ディスターブ時間の累計が 10^6 secを越えても、イレース時の基板ディスターブの影響を受け易い閾値の低いメモリセル(プログラム状態)でも閾値電圧Vtの変動は殆ど無く、誤読み出しが起こらない信頼性の高い不揮発性半導体記憶装置を実現することができる。さらに、非選択ブロックのワード線が基板(ウェル)と同

電位であるので、イレース時に関係する容量を削減することができ、チャージポンプのレイアウト面積を小さくすることができる。

【0171】

また、本実施の形態においては、上記ロウデコーダ21におけるドライバ部22の各ドライバをPチャネルMOSトランジスタとNチャネルMOSトランジスタの2個のトランジスタで構成している。したがって、2個のPチャネルMOSトランジスタと2個のNチャネルMOSトランジスタの4個のトランジスタで構成している第1実施の形態の場合よりも各ドライバが占める面積を低減できる。

【0172】

最後に、本実施の形態において、電圧や信号レベルを変換することによって耐圧の低いトランジスタの使用を可能にしているのであるが、次にこの点について詳細に説明する。

【0173】

上記ロウデコーダ21においては、選択ワード線WLあるいは非選択ワード線WLに、 V_{pp} (例えば、10V)から V_{nee} (例えば、-8V)までの間の電圧を出力する。したがって、このままでは、使用するトランジスタはマージンを含めて18V以上の耐圧を必要とし、耐圧を持たせるためにソース領域をDDD(ダブル・ドープド・ドレイン)構造あるいはLDD(ライトリイ・ドープド・ドレイン)構造とすることによって、トランジスタサイズが大きくなってしまう。

【0174】

そこで、以下に説明するような電圧や信号レベルの変換を行うことによって、低耐圧のトランジスタの使用を可能にするのである。ここでは、第2実施の形態におけるイレース動作に従って説明する。

【0175】

上記ロウデコーダ21の各部において要求されるトランジスタの耐圧は、次の通りである。まず、上記制御電圧回路においては入力信号hnsetによる8Vの耐圧、上記高電圧回路においては電源hhvppによる10Vの耐圧、上記低電圧回路においてはレベルを変換していることから電源hhvpreと電源hvnegとの最大差である($V_{cc}-V_{bb}$)の9Vの耐圧、ドライバにおいては($V_{pp}-V_{ss}$)の10Vの耐

圧が要求されるため、したがって、第2実施の形態で使用されるトランジスタは18V以上ではなく、10V以上の耐圧を持てばよいことになる。

【0176】

第2実施の形態におけるイレース動作(図18を参照)においては、信号hnsetや電源hhvpre,hvnegの電位変換のタイミング間隔 $t_1, t_2, t_3, t_4, t_5, t_6, t_7$ を500nsec前後としている。他の信号や電源の電位変換のタイミングも同様の間隔で行っている。

【0177】

上述したように、耐圧の比較的低いトランジスタを使用可能であるということは、先に述べたようにトランジスタのサイズを小さくできることを意味し、ロウデコーダ21をレイアウトする際に各ドライバをメモリセルアレイのワード線W_Lの配列ピッチに合わせることが容易になる。また、トランジスタの耐圧が低くてよいため、各トランジスタのゲート厚を薄くして高速化を図ることも可能である。

【0178】

尚、上記プログラム動作、リード動作およびイレース動作時に使用される具体的電圧値や、信号および電源のレベル変更時における電圧やタイミングは、上記各実施の形態に限定されるものではなく適宜変更しても差し支えない。また、上記各実施の形態における制御電圧回路においては、電源にhhvpre1とhvneg1とを用いて説明している。しかしながら、電源hhvpreおよび電源hvnegをラッチ回路Aおよびラッチ回路Bの電源とし、プログラム動作時およびリード動作時にはそのままラッチ回路Aおよびラッチ回路Bから出力する。一方、イレース動作時にはラッチ回路Aおよびラッチ回路Bからの出力を切り離し、出力信号hrda,出力信号hrdabの端子電圧をV_{ss}に引き込むスイッチ素子を設けてもよい。

【0179】

また、上記各実施の形態においては、イレース動作時において、上記非選択ワード線に基板(ウェル)と同じ負の電圧を印加して両者を同電位にしているが、この発明はこれに限定されるものではない。要は、上記非選択ワード線に印加する電圧は、基板(ウェル)に印加される負の電圧以上の負の電圧であって、然も、基

板(ウェル)との電位差が基板ディスターブを受けない電位差であればよいのである。

【0180】

【発明の効果】

以上より明らかなように、第1の発明の不揮発性半導体記憶装置の消去方法では、電氣的に情報の書き込みおよび消去が可能な浮遊ゲート電界効果トランジスタが基板(ウェル)上にマトリクス状に配置された不揮発性半導体記憶装置の消去にFNトンネル現象を用い、その際に、上記基板(ウェル)に負の第1電圧を印加すると共に選択行線には正の電圧を印加する一方、非選択行線には負の第2電圧を印加するので、上記基板(ウェル)と非選択行線との両方に負の電圧を印加できる。したがって、上記基板(ウェル)への印加電圧と非選択行線への印加電圧とを基板ディスターブを受けないように設定すれば、不揮発性半導体記憶装置に対して繰り返して書き換えを行っても書き込み状態のメモリセルの閾値電圧の上昇を防止できる。すなわち、この発明によれば、上記書き込み状態のメモリセルに対する誤読み出しを防止できる。

【0181】

さらに、上記基板(ウェル)と非選択行線との電位差が従来よりも小さくなるので、上記基板(ウェル)と非選択行線との間の電氣的容量を小さくできる。したがって、上記基板(ウェル)に負電圧を供給するチャージポンプのレイアウト面積を小さくすることが可能になる。

【0182】

また、上記第1の発明における上記負の第2電圧の絶対値を負の第1電圧の絶対値よりも小さくすれば、非消去メモリセルの誤動作を防止できる。さらに、上記負の第2電圧の絶対値を負の第1電圧の絶対値に等しくすれば、上記基板(ウェル)の電圧と上記非選択行線の電圧とを同じにして上記基板ディスターブを完全に防止できる。

【0183】

また、第2の発明のロウデコーダは、消去モード時に、選択電圧出力手段によって選択電圧を出力し、非選択電圧出力手段によって非選択電圧を出力し、印加

電圧選択手段によって、制御電圧出力手段からの制御電圧に基づいて上記選択電圧または非選択電圧の何れかを選択して、上記選択電圧を選択ワード線に出力する一方、上記非選択電圧を非選択ワード線に出力するので、基板(ウェル)に印加する電圧を負の第1電圧とし、上記選択電圧を正の電圧とし、上記非選択電圧を負の第2電圧とした場合、上記両負の電圧の値を基板ディスターブを受けないように設定することによって、書き換えを繰り返し行う際における書き込みメモリセルの閾値電圧の上昇を防止できる。したがって、上記書き込みメモリセルの誤読み出しを防止して、書き換え回数の保証の拡大を図ることができる。

【0184】

さらに、上記基板(ウェル)と非選択ワード線の電圧差を従来よりも小さくすることができ、上記基板(ウェル)と非選択ワード線との間の電氣的容量を小さくして、当該容量への充放電に必要な電流を減少できる。したがって、上記基板(ウェル)に供給する負電圧を発生するチャージポンプ回路の供給能力を軽減し、チャージポンプ回路の面積を縮小できる。

【0185】

また、第3の発明のロウデコーダは、消去モード時に、高電圧出力手段によって所定電圧以上の高電圧を出力し、低電圧出力手段によって上記高電圧より低い低電圧を出力し、印加電圧選択手段によって、制御電圧出力手段からの制御電圧に基づいて上記高電圧または低電圧の何れかを選択して、上記高電圧を選択電圧として選択ワード線に出力する一方、上記低電圧を非選択電圧として非選択ワード線に出力するので、基板(ウェル)に印加する電圧を負の第1電圧とし、上記選択電圧を正の電圧とし、上記非選択電圧を負の第2電圧とした場合、上記両負の電圧の値を基板ディスターブを受けないように設定することによって、書き換えを繰り返し行う際における書き込みメモリセルの閾値電圧の上昇を防止できる。したがって、上記書き込みメモリセルの誤読み出しを防止できる。また、上記基板(ウェル)と非選択ワード線との間の電氣的容量を小さくして上記基板(ウェル)用の負電圧を発生するチャージポンプ回路の面積を縮小できる。

【0186】

さらに、上記高電圧出力手段の出力電圧は、上記低電圧出力手段から出力電圧

よりも常時高く設定されている。したがって、上記印加電圧選択手段による上記高電圧あるいは低電圧の選択動作を第 2 の発明の場合よりも簡単にできる。すなわち、この発明によれば、上記印加電圧選択手段の構成を上記第 2 の発明の場合よりも簡単にして、上記印加電圧選択手段が占める面積を小さくできる。

【0 1 8 7】

また、上記第 2 あるいは第 3 の発明においては、上記消去モード時における上記選択電圧を正の電圧とする一方、上記非選択電圧を負の電圧とし、上記非選択電圧の絶対値を上記不揮発性半導体記憶装置の基板(ウェル)に印加される負の電圧の絶対値よりも小さくすれば、非消去メモリセルの誤動作を防止できる。さらに、上記非選択ワード線に印加する非選択電圧の絶対値を上記基板(ウェル)に印加する電圧の絶対値と同じにすれば、上記基板(ウェル)と非選択ワード線とに同じ電圧を印加して上記基板ディスタブを完全に防止できる。

【図面の簡単な説明】

【図 1】 この発明の不揮発性半導体記憶装置の消去方法が適用される A C T 型フラッシュメモリのアレイ構成を示す図である。

【図 2】 この発明のイレース方法による非選択ブロックに対する累積印加時間と閾値電圧との関係を示す図である。

【図 3】 この発明のイレース方法を可能にするロウデコーダのブロック図である。

【図 4】 図 3 における制御電圧回路 0 の回路図である。

【図 5】 図 3 における選択電圧回路 0 の回路図である。

【図 6】 図 3 における非選択電圧回路 0 の回路図である。

【図 7】 図 3 におけるブロックデコーダ 0 の回路図である。

【図 8】 図 3 におけるプレデコーダ 0 の回路図である。

【図 9】 図 3 に示すロウデコーダにおけるプログラム動作時の入力波形および出力波形を示す図である。

【図 1 0】 図 3 に示すロウデコーダにおけるリード動作時の入力波形および出力波形を示す図である。

【図 1 1】 図 3 に示すロウデコーダにおけるイレース動作時の入力波形お

よび出力波形を示す図である。

【図 1 2】 図 3 とは異なるロウデコーダのブロック図である。

【図 1 3】 図 1 2 における制御電圧回路 0 の回路図である。

【図 1 4】 図 1 2 における高電圧回路 0 の回路図である。

【図 1 5】 図 1 2 における低電圧回路 0 の回路図である。

【図 1 6】 図 1 2 に示すロウデコーダにおけるプログラム動作時の入力波形および出力波形を示す図である。

【図 1 7】 図 1 2 に示すロウデコーダにおけるリード動作時の入力波形および出力波形を示す図である。

【図 1 8】 図 1 2 に示すロウデコーダにおけるイレース動作時の入力波形および出力波形を示す図である。

【図 1 9】 A C T 型フラッシュメモリにおけるメモリセルの断面を示す模式図である。

【図 2 0】 従来のイレース方法による非選択ブロックに対する累積印加時間と閾値電圧との関係を示す図である。

【図 2 1】 A C T 型フラッシュメモリ素子の断面を示す模式図である。

【符号の説明】 1 1 , 2 1 …ロウデコーダ、

1 2 , 2 2 …ドライバ部、

1 3 , 2 3 …制御電圧回路部、

1 4 …選択電圧回路部、

1 5 …非選択電圧回路部、

1 6 , 2 6 …プレデコーダ部、

1 7 , 2 7 …ブロックデコーダ部、

2 4 …高電圧回路部、

2 5 …低電圧回路部、

W L …ワード線、

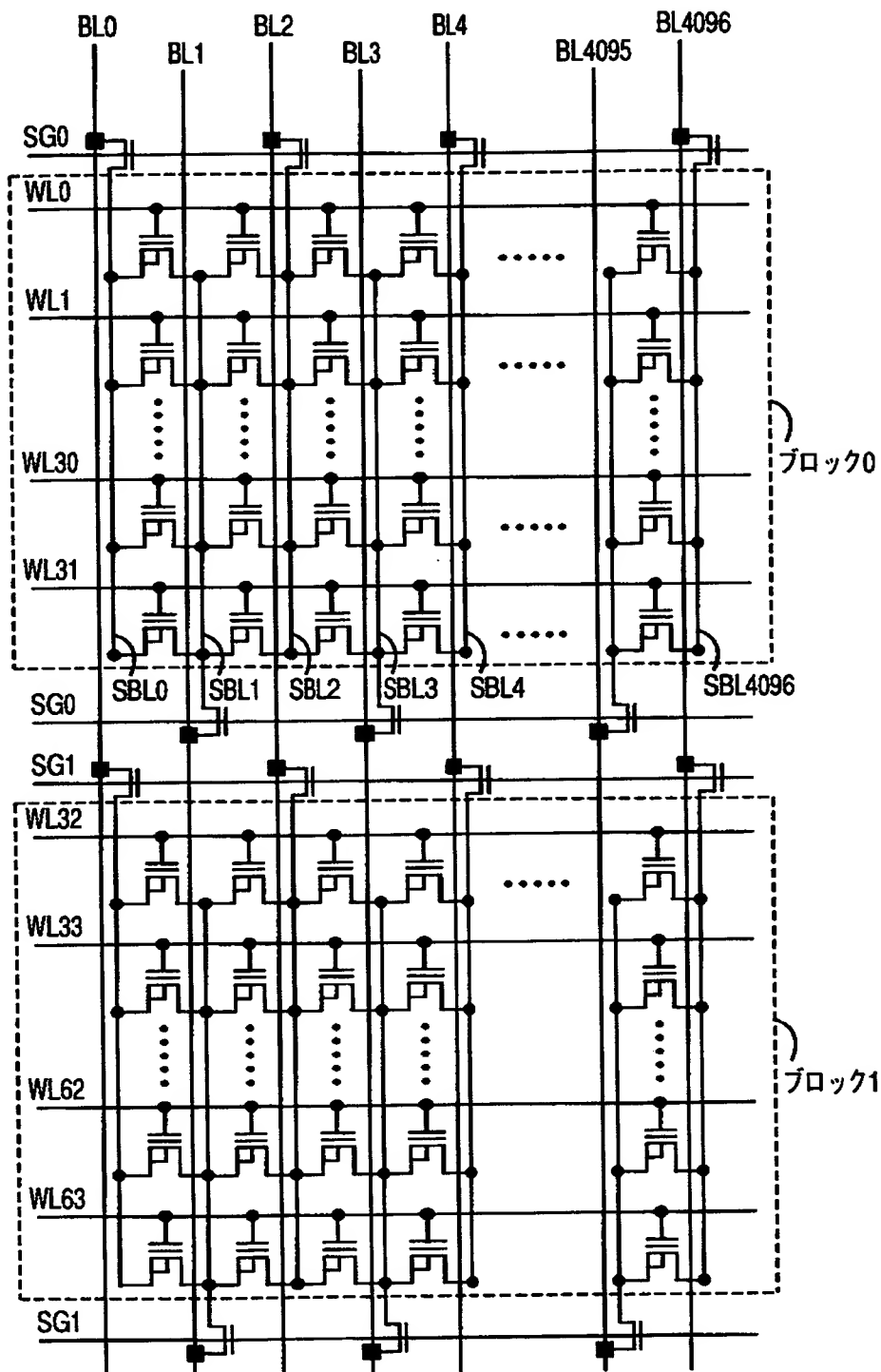
B L …メインビット線、

S B L …サブビット線、

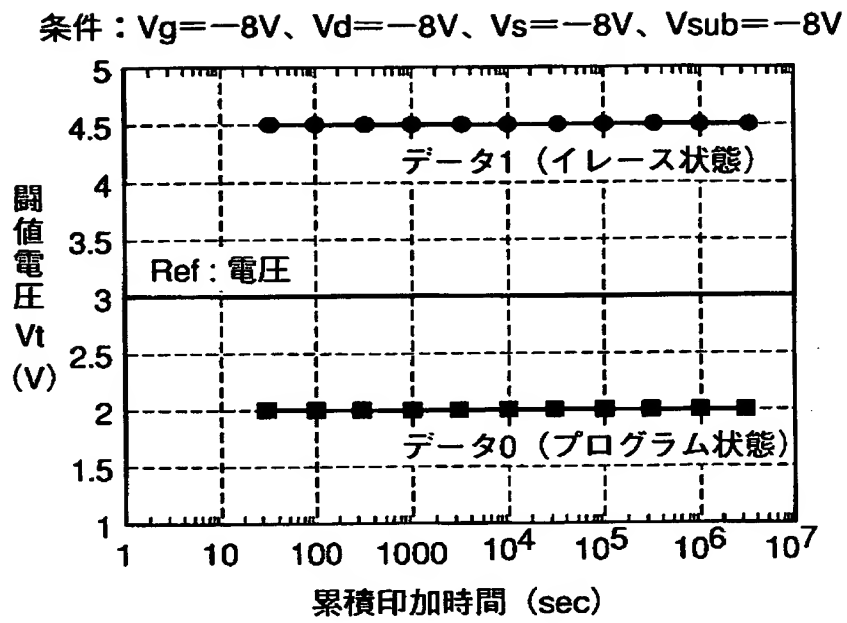
S G …ゲート線。

【書類名】 図面

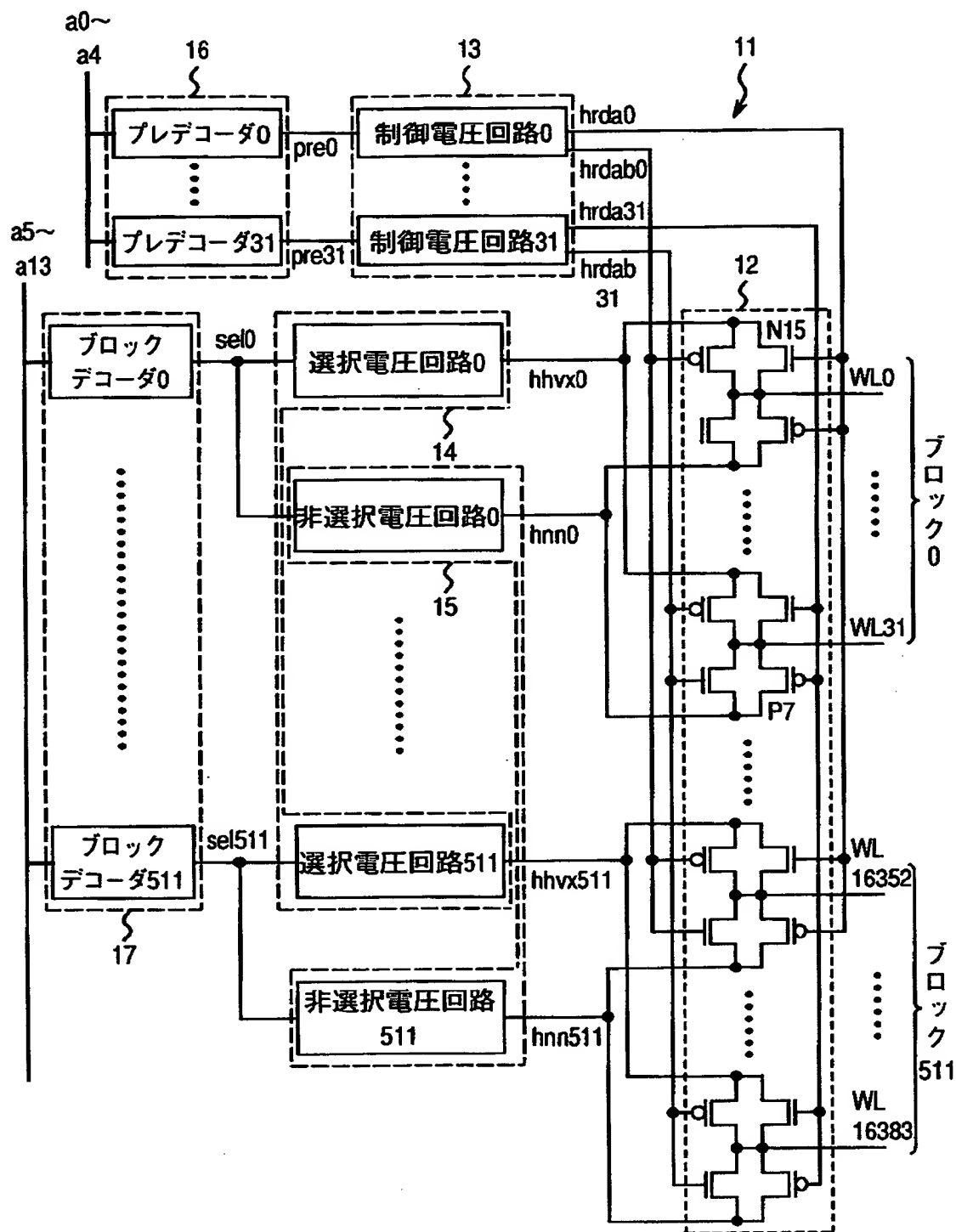
【図 1】



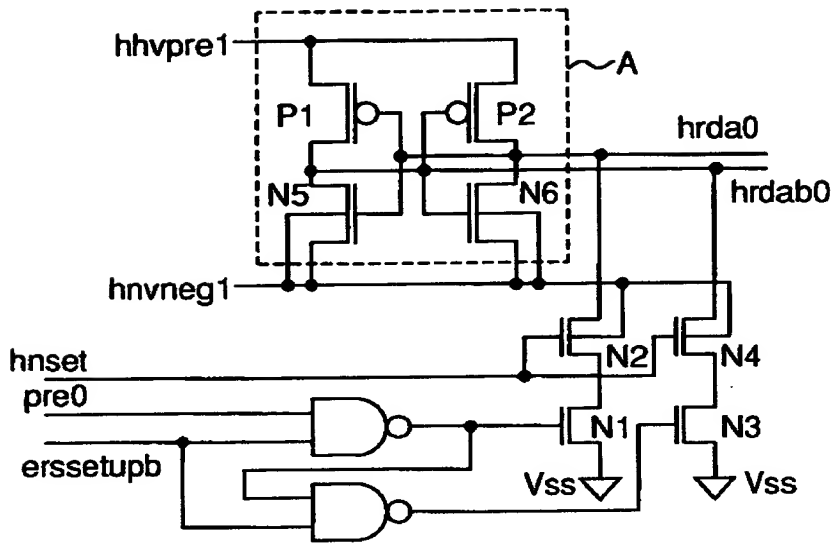
【図 2】



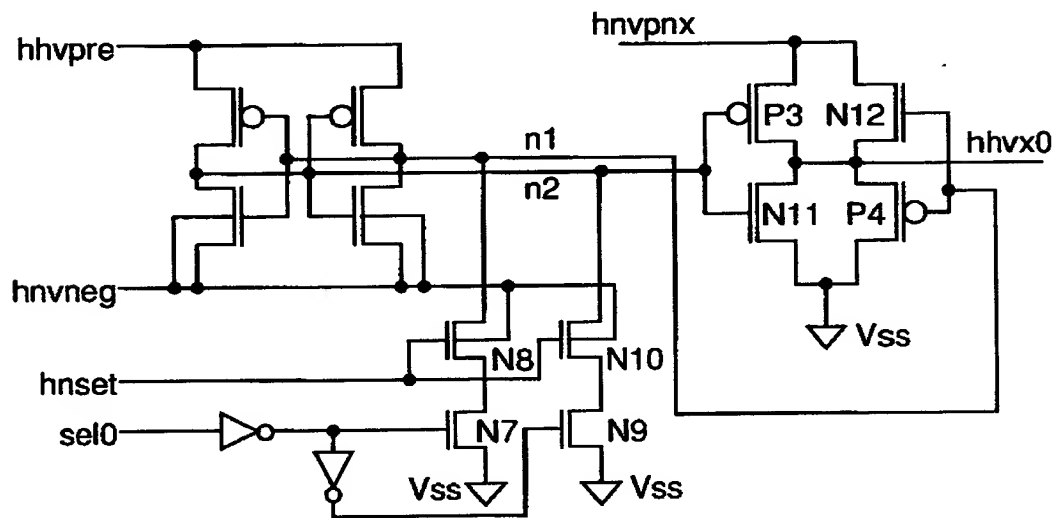
【図 3】



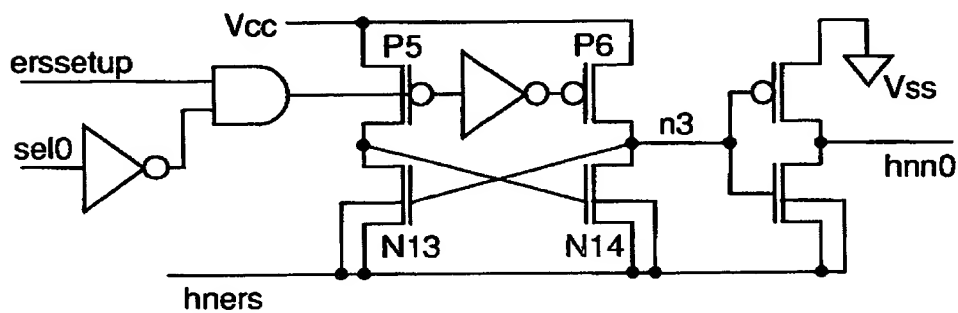
【図 4】



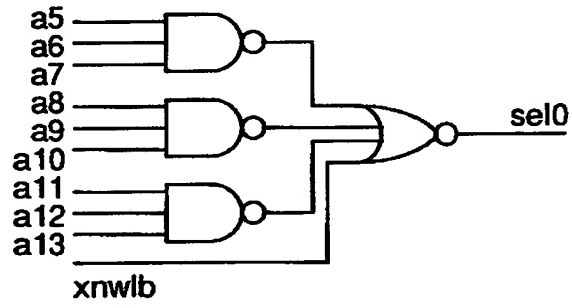
【図 5】



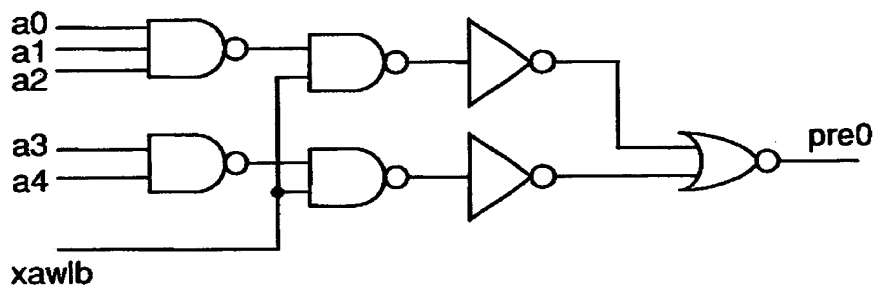
【図 6】



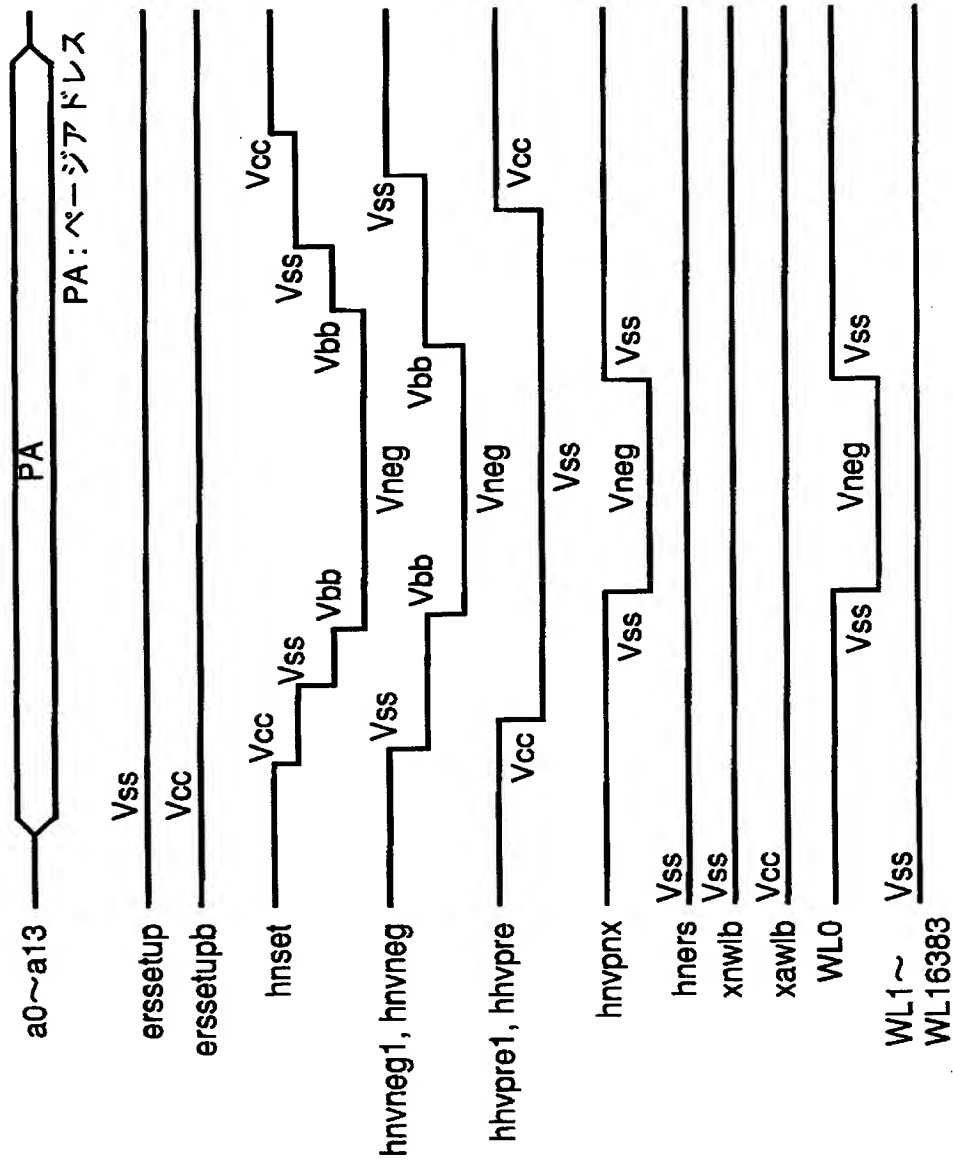
【图 7】



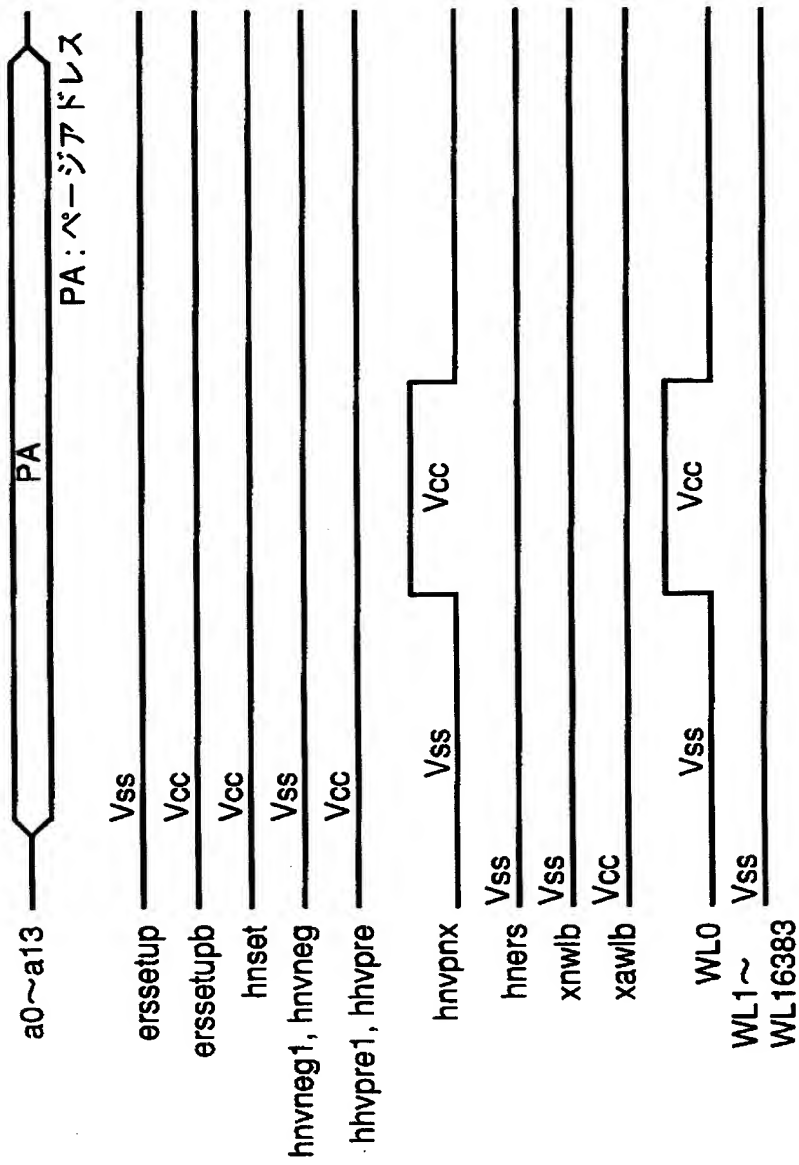
【图 8】



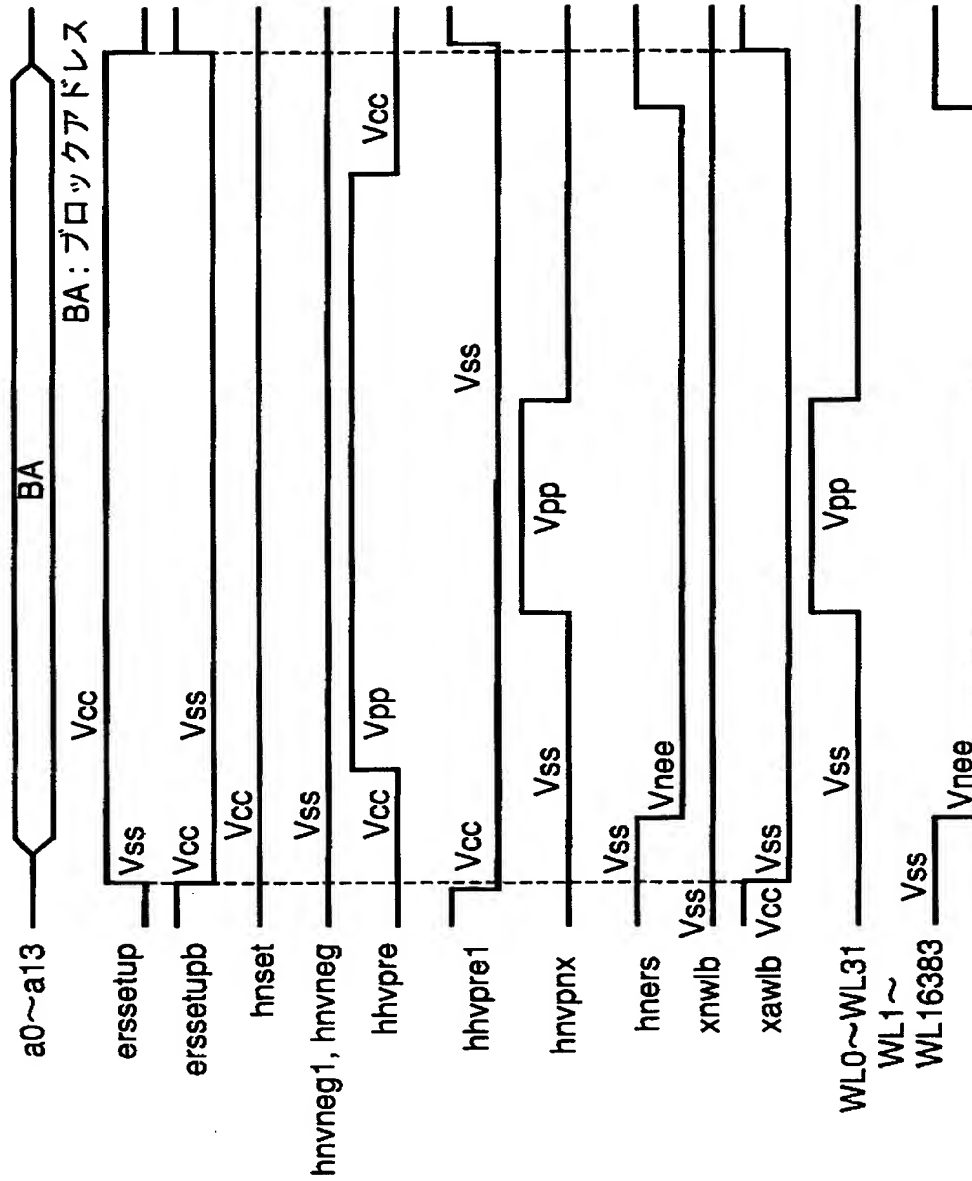
【図 9】



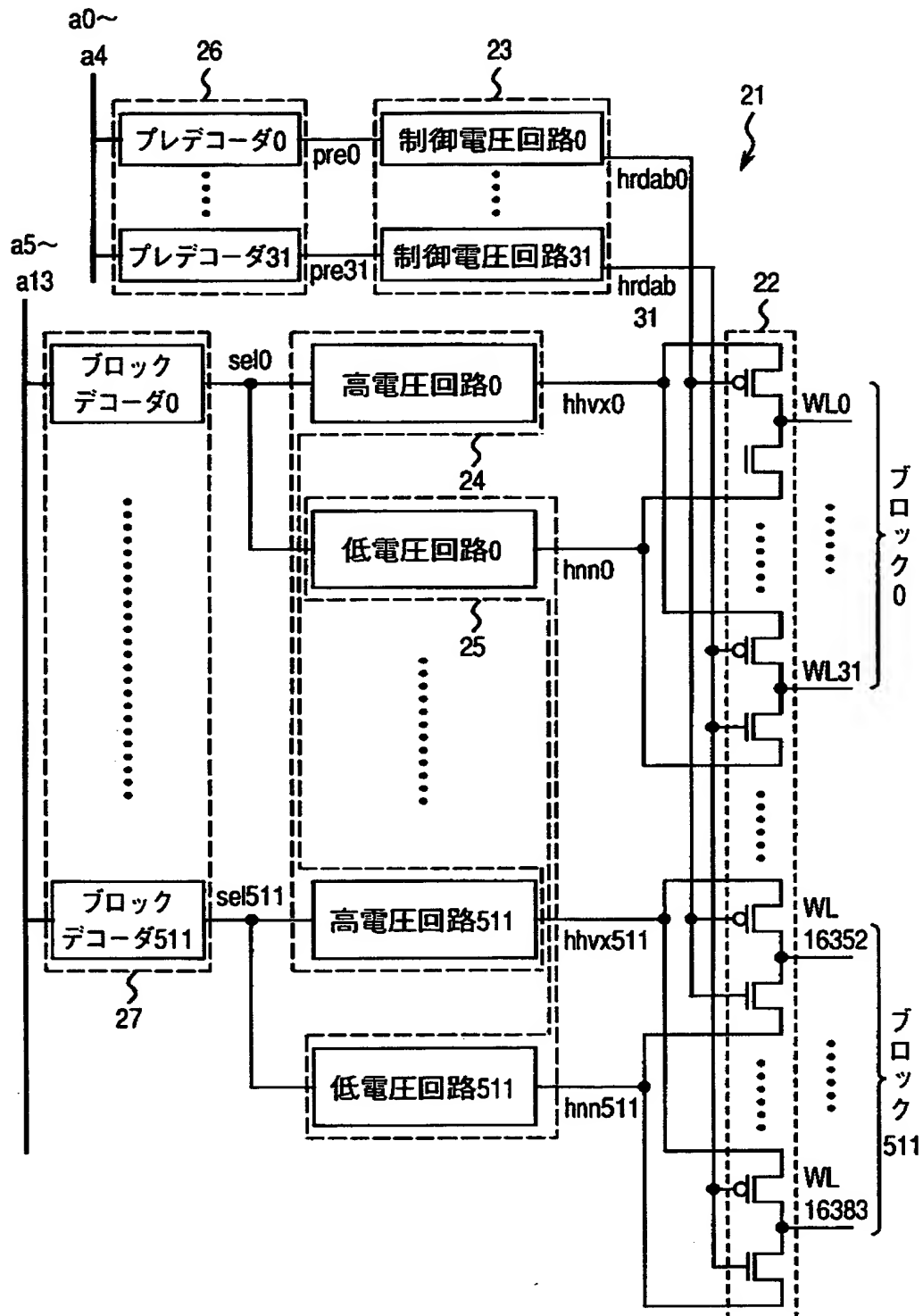
【図 1 0】



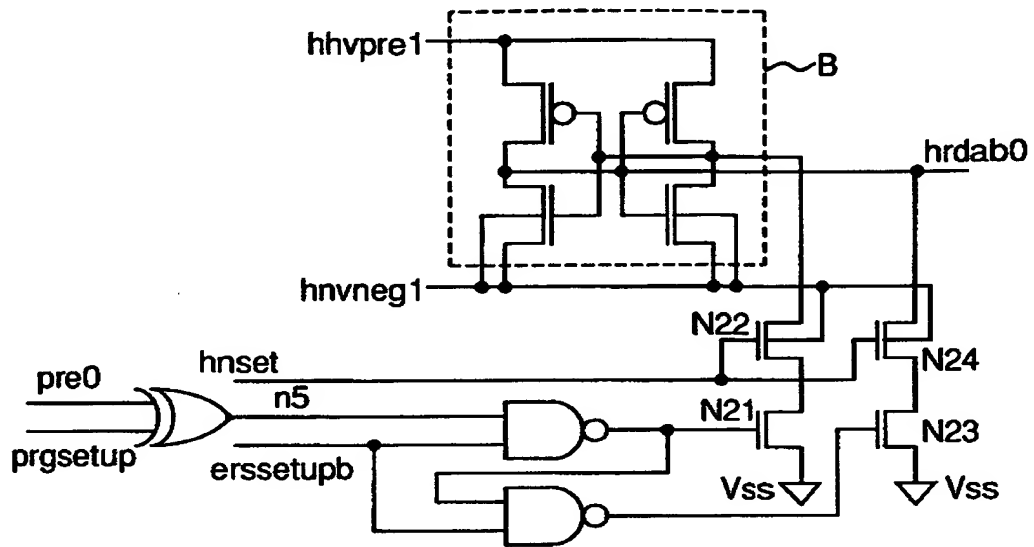
【図 1 1】



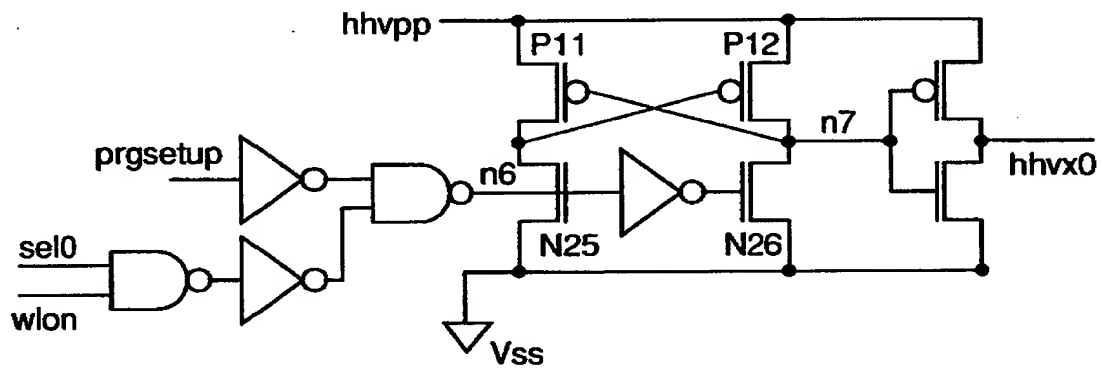
【図 12】



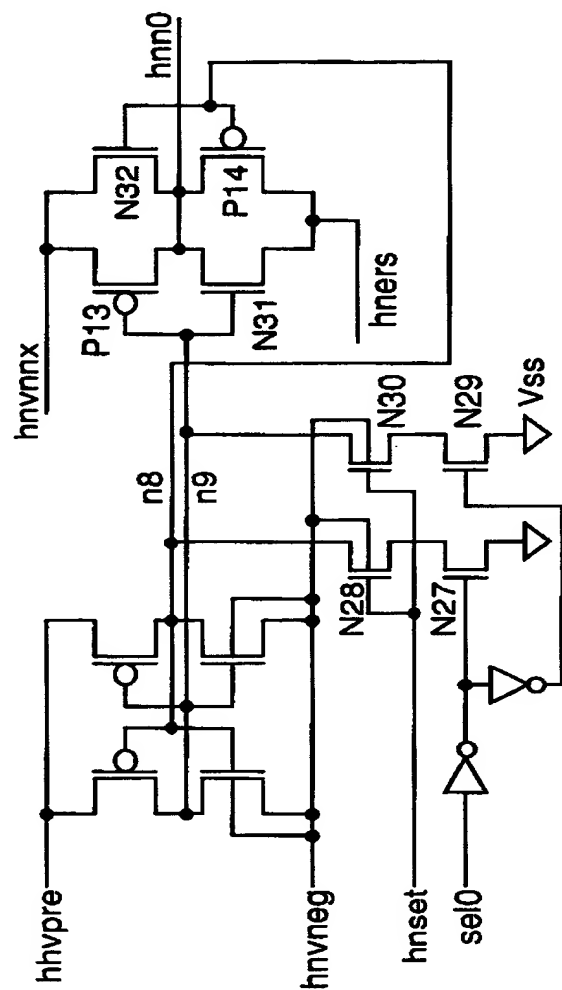
【図 1 3】



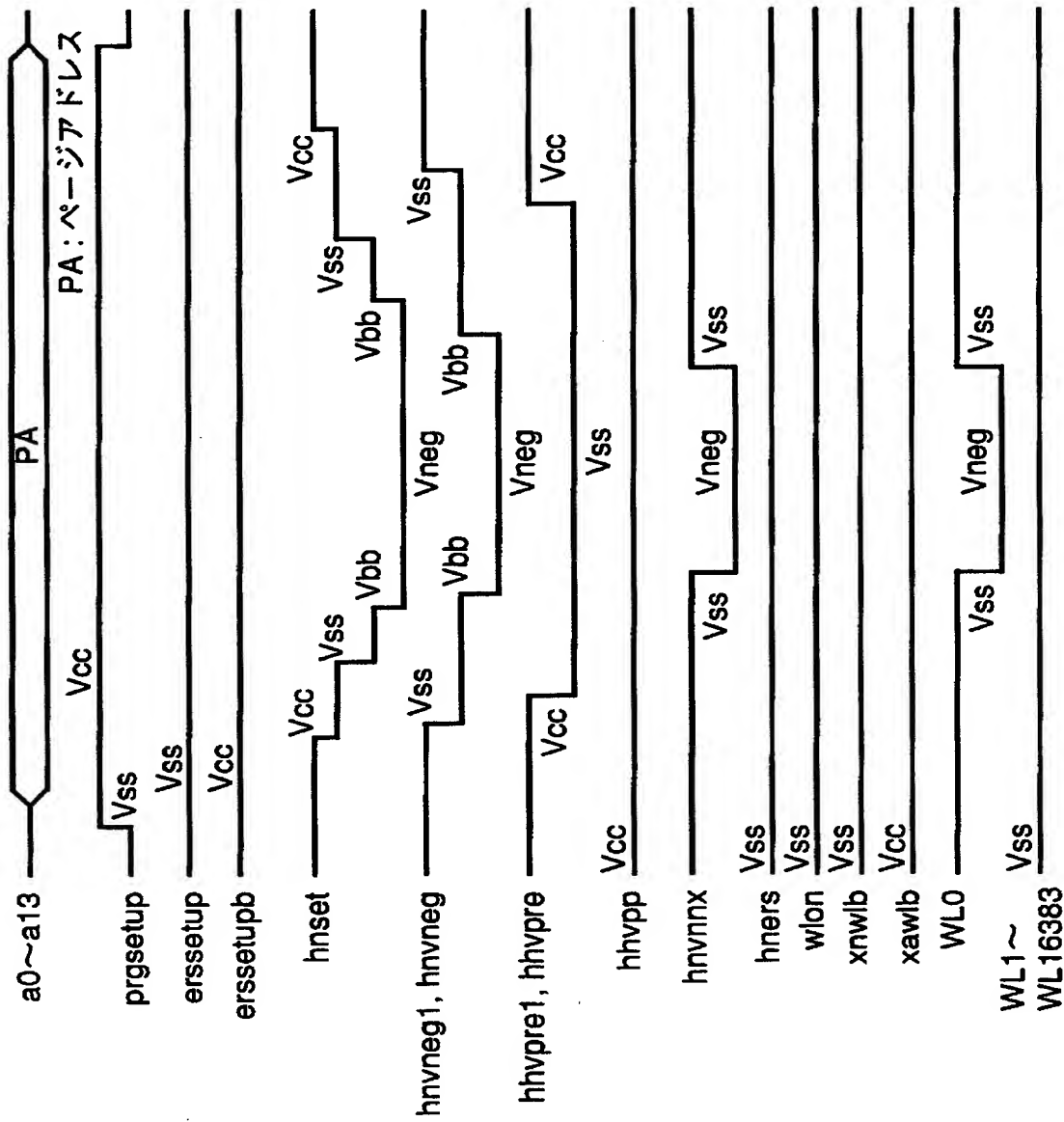
【図 1 4】



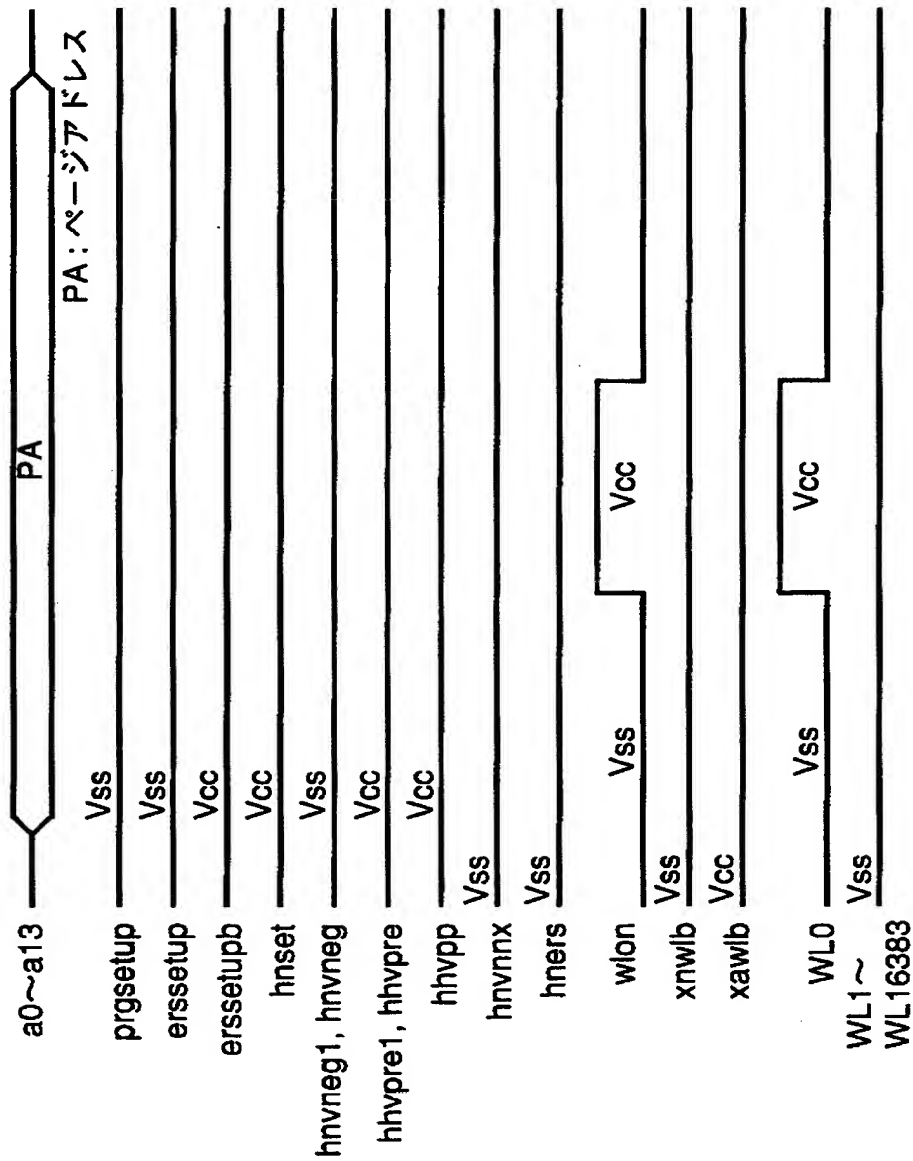
【図 1 5】



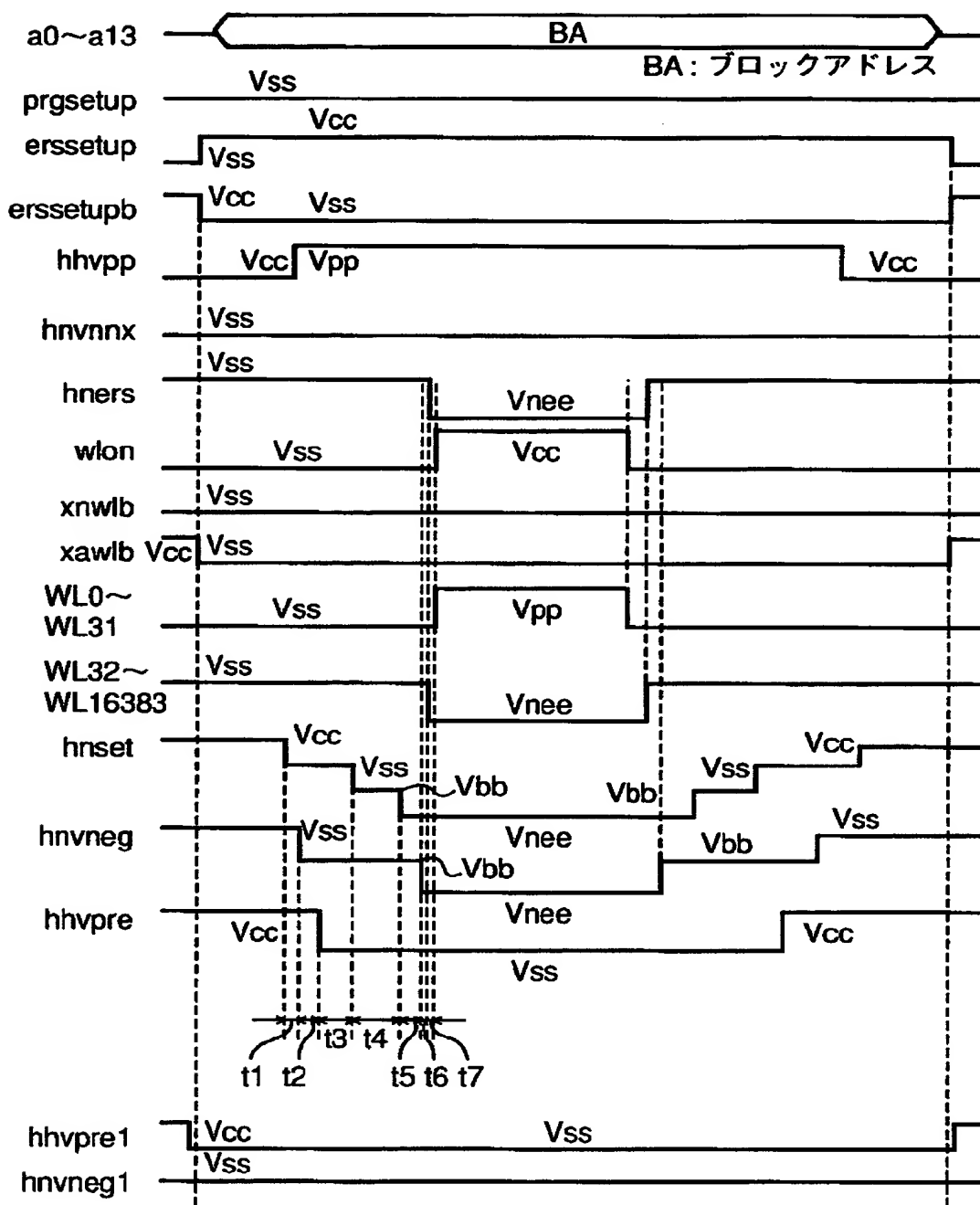
【図 1 6】



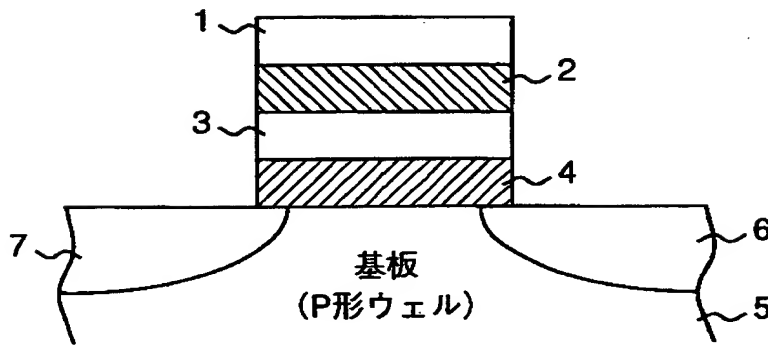
【図 1 7】



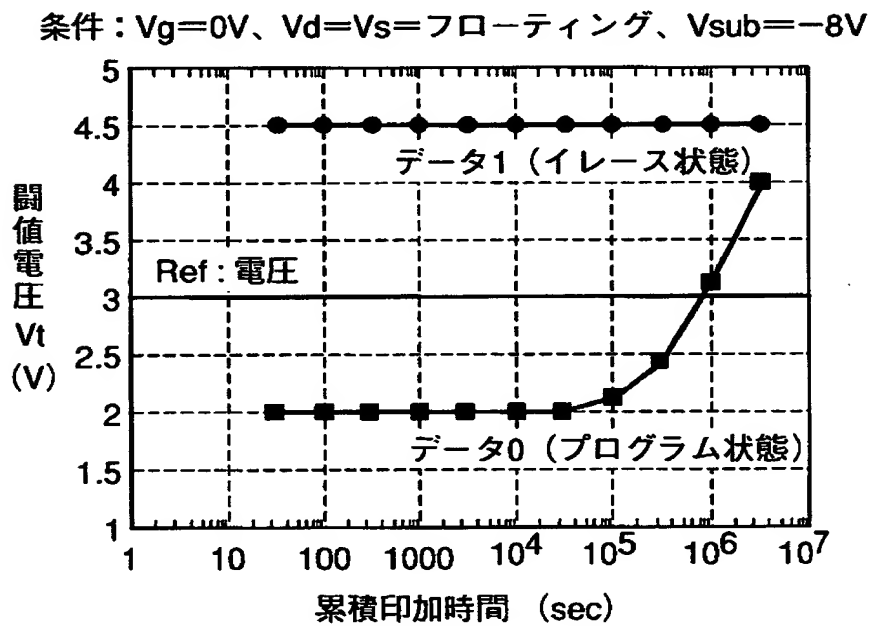
【図 18】



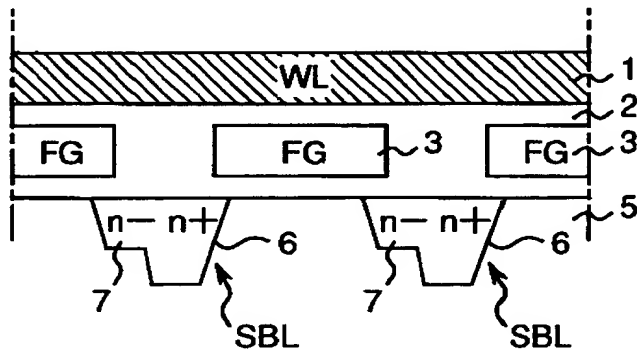
【図 19】



【図 20】



【図 2 1】



【書類名】 要約書

【要約】

【課題】 イレース時の基板ディスターブによる誤読み出しを防止する。

【解決手段】 ブロック 0 をイレースする場合は、選択ワード線 $WL0 \sim WL31$ には電圧 V_{pp} を印加する一方、基板(ウェル)およびサブビット線 $SBL0 \sim SBL4096$ の各々には電圧 V_{neg} を印加する。また、非選択ブロック 1 のワード線 $WL32 \sim WL63$ には電圧 V_{neg} を印加する一方、基板(ウェル)およびサブビット線 SBL には電圧 V_{neg} を印加する。こうして、非選択ブロック 1 内の全メモリセルのコントロールゲート, ソース, ドレインおよび基板(ウェル)の総てに電圧 V_{neg} を印加して同電位にする。したがって、リード時に誤リードすることはない。さらに、非選択ワード線 WL と基板(ウェル)との間の容量を無視することができ、負電圧供給用のチャージポンプの占有割合を従来の 90% 以上削減することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 大阪府大阪市阿倍野区長池町22番22号
氏 名 シャープ株式会社